

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002108

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-033081  
Filing date: 10 February 2004 (10.02.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

04. 2. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 4 年    2 月 1 0 日  
Date of Application:

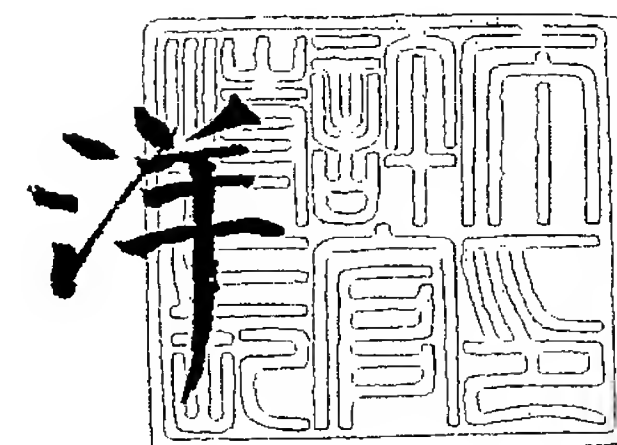
出 願 番 号                      特 願 2 0 0 4 - 0 3 3 0 8 1  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 4 - 0 3 3 0 8 1 ]

出      願      人                      株式会社半導体エネルギー研究所  
Applicant(s):

2 0 0 5 年    3 月 1 0 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 P007724  
【提出日】 平成16年 2月10日  
【あて先】 特許庁長官 殿  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 加藤 清  
【特許出願人】  
    【識別番号】 000153878  
    【氏名又は名称】 株式会社半導体エネルギー研究所  
    【代表者】 山崎 舜平  
【手数料の表示】  
    【予納台帳番号】 002543  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

電圧あるいは電流を印加することで電気特性の異なる第 1 状態から第 2 状態へのみ遷移が可能な少なくとも 3 つ以上の記憶素子を一単位とし、そのうちの一定個数を前記第 1 状態から前記第 2 状態に遷移させた状態だけを用いてデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

**【請求項 2】**

電圧あるいは電流を印加することで電気特性の異なる第 1 状態から第 2 状態へのみ遷移が可能な少なくとも 3 つ以上の記憶素子を一単位とし、その一単位の中で取り得る状態の組み合わせのうち、互いに電氣的に遷移することができない状態だけを用いてデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

**【請求項 3】**

電圧を印加することでしきい値電圧の異なる第 1 状態から第 2 状態へのみ遷移が可能な少なくとも 3 つ以上の記憶素子を一単位とし、そのうちの一定個数を前記第 1 状態から前記第 2 状態に遷移させた状態だけを用いてデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

**【請求項 4】**

電圧を印加することでしきい値電圧の異なる第 1 状態から第 2 状態へのみ遷移が可能な少なくとも 3 つ以上の記憶素子を一単位とし、その一単位の中で取り得る状態のうち、互いに電氣的に遷移することができない状態だけを用いてデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

**【請求項 5】**

電流を印加することで抵抗値の異なる第 1 状態から第 2 状態へのみ遷移が可能な少なくとも 3 つ以上の記憶素子を一単位とし、そのうちの一定個数を前記第 1 状態から前記第 2 状態に遷移させた状態だけを用いてデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

**【請求項 6】**

電流を印加することで抵抗値の異なる第 1 状態から第 2 状態へのみ遷移が可能な少なくとも 3 つ以上の記憶素子を単位とし、その一単位の中で取り得る状態のうち、電氣的に互いに遷移することができない状態だけを用いてデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

**【請求項 7】**

請求項 1 乃至請求項 6 のいずれか一項において、前記メモリセルがデータを記憶した状態であるか否かの判別信号を出力する手段が備えられていることを特徴とする不揮発性メモリ。

**【請求項 8】**

請求項 3 または請求項 4 において、前記記憶素子は、多結晶シリコン膜、微結晶シリコン膜、金属膜、微結晶金属膜、もしくは窒化膜からなる電荷蓄積層を有することを特徴とする不揮発性メモリ。

**【請求項 9】**

請求項 1 乃至請求項 8 のいずれか一項に記載された不揮発性メモリが組み込まれていることを特徴とする IC カード。

**【請求項 10】**

請求項 1 乃至請求項 8 のいずれか一項に記載された不揮発性メモリが組み込まれていることを特徴とする ID カード。

**【請求項 11】**

請求項 1 乃至請求項 8 のいずれか一項に記載された不揮発性メモリが組み込まれていることを特徴とする ID タグ。

【書類名】 明細書

【発明の名称】 不揮発性メモリ

【技術分野】

【0 0 0 1】

本発明は不揮発性メモリに関する。特に、一度だけデータの書き込みが可能な（one-time programmable、以下OTPと表記）である不揮発性メモリに関する。

【背景技術】

【0 0 0 2】

近年、ICカード用途の不揮発性メモリが注目を浴びている。現在普及している磁気カードは、データの書き換えが比較的容易であり、セキュリティ機能が低いという問題がある。このような背景から、ICカードは磁気カードに変わる媒体として期待されており、電子マネーや住民カードといった用途が検討されている。特に、偽造や不正使用を避ける目的で、データのセキュリティに関する機能が重要視されている。

【0 0 0 3】

メモリは、SRAM（Static Random Access Memory）やDRAM（Dynamic Random Access Memory）等の揮発性メモリと、EEPROM（electrically erasable programmable read only memory）やフラッシュEEPROM等の不揮発性メモリがある。揮発性メモリは、電源を切るとデータが失われてしまうという欠点がある。一方、不揮発性メモリは電源を切ってもデータが失われることはない。ICカードでは、さまざまな情報を記録しておくために、後者のメモリが必要となっている。

【0 0 0 4】

半導体を用いた不揮発性メモリには、フローティングゲート構造の記憶素子、強誘電体素子、或いは磁気抵抗や位相変化を示す記憶素子を用いた書き換え可能タイプと、マスクROMなどの書き換え不能タイプがある。また、フローティングゲート構造の記憶素子や移動変化を示す記憶素子を用いた一度だけ書き込み可能（以下「OTP（one-time programmable）」ともいう。）タイプがある（特許文献1参照。）。

【特許文献1】 特開 2 0 0 3 - 5 1 1 9 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

従来のフローティングゲート構造の記憶素子を用いたOTPタイプの不揮発性メモリは、一度書きこまれたデータは紫外線を当てる等をしないと消去することはできない。従って、密閉されたOTPタイプの不揮発性メモリはパッケージを破壊しない限りデータを消去することは不可能である。しかし、データの書き込みを追加で行うことは電氣的には不可能でなく、これによってデータを改竄されてしまう可能性があるという問題点がある。

【0 0 0 6】

本発明はこのような問題点に鑑み、電氣的なデータの変更が困難な、セキュリティの高いOTPタイプの不揮発性メモリを提供することを課題とする。

【課題を解決するための手段】

【0 0 0 7】

本発明は、二つの状態を持ち、電氣的に一方向への遷移のみが可能な記憶素子を用いたOTPタイプの不揮発性メモリにおいて、1ビットデータを記憶するメモリセルを、3つ以上の記憶素子を用いて構成することを要旨とする。

【0 0 0 8】

すなわち、本発明ではH状態とL状態（以下単に「H」、「L」ともいう。）の2状態を持ち、電氣的にはLからHへの一方向の遷移のみが可能な記憶素子を用いたOTPタイプの不揮発性メモリにおいて、1ビットデータを記憶するメモリセルを、3つ以上の記憶素子を用いて構成することを特徴としている。

【0 0 0 9】

例えば、n個（nは3以上の整数）の記憶素子からなるメモリセルにおいて、互いに遷



移することのできない状態として、 $k$  個 ( $k$  は 1 以上  $n$  以下の整数) の記憶素子が L 状態、 $(n - k)$  個の記憶素子が H 状態である状態の組を考えることができる。そのような状態として、例えば、 $n = 5$ 、 $k = 1$  とすると、 $(H, L, L, L, L)$ 、 $(L, H, L, L, L)$ 、 $(L, L, H, L, L)$ 、 $(L, L, L, H, L)$ 、 $(L, L, L, L, H)$  の 5 状態があるが、これらは L 状態から H 状態への電氣的な書き込みを用いて互いに遷移できないことが容易に確かめられる。

**【0 0 1 0】**

このような複数の状態を用いてデータを格納することで、一旦書きこんだデータを他のデータに変更することが不可能な不揮発メモリを実現することが可能となる。

**【0 0 1 1】**

そして、このメモリの読み出しにおいて、データと対応していない状態が読み出された場合は、不正な追加書き込みがあったと判断しそのデータを無効とすることができる。このようにして、セキュリティの高い O T P タイプの不揮発性メモリを実現することができる。より具体的に、本発明は、以下の構成を採用している。

**【0 0 1 2】**

本発明は、電圧あるいは電流を印加することで電気特性の異なる第 1 状態から第 2 状態へのみ遷移が可能で少なくとも 3 つ以上の記憶素子を一単位としてメモリセルを構成する。そのうちの一定個数を前記第 1 状態から前記第 2 状態に遷移させた状態だけを用いてデータを記憶可能とした不揮発性メモリである。

**【0 0 1 3】**

本発明は、電圧あるいは電流を印加することで電気特性の異なる第 1 状態から第 2 状態へのみ遷移が可能で少なくとも 3 つ以上の記憶素子を一単位として構成する。その一単位の中で取り得る状態の組み合わせのうち、互いに電氣的に遷移することができない状態だけを用いてデータを記憶可能とした不揮発性メモリである。

**【0 0 1 4】**

上記発明の構成において、第 1 状態及び第 2 状態とは、トランジスタのしきい値電圧、オン電流値、抵抗値、磁化の方向、電場の方向などであり、本発明はその状態変化を利用することで O T P タイプの不揮発性メモリを実現する。

**【発明の効果】****【0 0 1 5】**

少なくとも 3 つ以上の記憶素子を用い、その記憶素子を取り得る 2 状態を用いて 1 ビットのデータを表すことで、一度記憶させたデータを書き換えることができない不揮発メモリを実現することが可能となり、セキュリティの高い O T P タイプの不揮発性メモリを実現することができる。

**【発明を実施するための最良の形態】****【0 0 1 6】**

本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

**【0 0 1 7】**

本実施の形態では、L と H の二つの状態に対し、L から H にのみ遷移可能な記憶素子からなる O T P タイプの不揮発性メモリにおいて、 $n$  個 ( $n$  は 3 以上の整数) の記憶素子からなるメモリセルをデータ格納の一単位とし、 $k$  個 ( $k$  は 1 以上  $n$  以下の整数) の記憶素子が L 状態、 $(n - k)$  個の記憶素子が H 状態である状態の組を用いてデータを格納する形態について「図 1 5 ～ 図 1 7 を参照して説明する。

**【0 0 1 8】**

本実施の形態における O T P タイプの不揮発性メモリにおける、メモリセルアレイの回路構成はデータを格納するメモリセルが、従来のメモリセルの  $n$  個分に相当する。例えば、1 つのメモリセルで  $i$  ビット ( $i$  は 1 以上  $(n - 1)$  以下の整数) のデータを格納する

とすると、読み出し回路と書き込み回路では、 $i$  ビットの入出力データとメモリセルの内部状態を表す  $n$  ビットの内部データの間で、データの変換を行う必要がある。また、本発明では、新たにデータの信頼性を表す信号（以下「バリッド」信号と呼ぶ。）を出力することを特徴とし、読み出したデータが信頼できるかどうかを、この信号をみることで判断できる構成となっている。

#### 【0019】

記憶素子はOTPタイプの不揮発性メモリの記憶素子と同様のものを用いることができる。記憶素子はフローティングゲートを有するトランジスタとして用い、該記憶素子の状態遷移はチャネルホットエレクトロンがフローティングゲートに入ることによって行われ、フローティングゲート内のチャネルホットエレクトロンの有無によってH状態、L状態を決定するという方法を取ることができる。一度フローティングゲートに入ったチャネルホットエレクトロンは電氣的には抜き去ることができないため、全てLからHへの一方方向の遷移となる。

#### 【0020】

本発明のOTPタイプの不揮発性メモリの構成を図15に示す。本発明の不揮発性メモリは、基板1500上に書き込み回路1501、読み出し回路1502、ローデコーダ1503、コラムデコーダ1504、セクタ1505、メモリセルアレイ1506等を有する（図15（A）参照。）。メモリセルアレイ1506は  $m$  本のワード線と、 $n \times j$  本のビット線、マトリクス上に配置された  $m \times j$  個のメモリセル1507とを有する。

#### 【0021】

メモリセル1507は、 $n$  個の記憶素子1508（1）～1508（ $n$ ）を有する（図15（B）参照。）。 $n$  個の記憶素子1508（1）～1508（ $n$ ）は、それぞれフローティングゲート、コントロールゲート、ソース領域及びドレイン領域を有する。各コントロールゲートは共通のワード線（図中では「word」と示す。）に接続されている。ソース領域及びドレイン領域の一方は、それぞれ異なるビット線（図中では「bit（1）～bit（ $n$ ）」と示す。）に接続されており、もう一方は共通電極（SC）に接続されている。

#### 【0022】

メモリセル1507が取り得る状態は、（L，L，・・・，L）～（H，H，・・・，H）の $2^n$ 状態である。これらの状態のうち、どちらへも電氣的に遷移することができない状態の組として、例えばL状態の記憶素子が  $k$  個とH状態の記憶素子が（ $n - k$ ）個の状態の組を選ぶことができる。本実施の形態ではそのような状態の組を用いてデータを格納する。

#### 【0023】

なお、以下ではメモリセルを構成する  $n$  個の記憶素子を取る状態を  $n$  ビットの内部データと呼ぶことにする。そのような組の数は ${}_nP_k$ 個であり、この値がメモリセルあたりに格納できるデータ量を表す。 $k$  は、 $n/2$  に近い整数の場合に格納できるデータ量が最も多くなり、好ましい。例えば、 $n=8$  では  $k=4$  の場合であり、L状態の記憶素子が4個とH状態の記憶素子が4個のメモリセルの取り得る状態数は、70（ $={}_8P_4$ ）個となる。 $k=1$  の場合の8（ $={}_8P_1$ ）個と比較して、8倍以上のデータを格納することができる。

#### 【0024】

次に、メモリセル1507への書き込みと読み出しについて説明する。ここでは、各メモリセルに  $i$  ビットのデータが格納されているとする。例えば、 $n=8$ 、 $k=4$  の場合には、各メモリセルは70値を格納できるため、6ビットのデータを格納することができる。

#### 【0025】

書き込み回路は、外部からの  $i$  ビットデータを  $n$  ビットの内部データに変換する論理回路が必要となる。読み出し回路は、 $n$  ビットの内部データを  $i$  ビットの外部データに変換する論理回路が必要となる。また、読み出し回路は、 $n$  ビットの内部データが、外部データに対応するかどうかを判定する論理回路が必要になる。これらの回路は、論理合成ツ

ルを用いて実現できる。

#### 【0026】

メモリセル1507への書き込みは、その状態が(L, L, . . . , L)の場合に行われる。メモリが書き込みを表すコントロール信号(Control)を受け取ると、書き込みに必要となる電圧が選択され、書き込み回路1501は、データ信号(Data)をnビットの内部データに変換し、内部データバスに乗せる。同時に、アドレス信号がローデコーダ1503及びコラムデコーダ1504に入力され、メモリセルを選択する。その結果、選択されたメモリセルに接続されるワード線に高電位が、ビット線には内部データに対応した書き込み用の高電位が、それぞれ印加されて書き込みが行われる。

#### 【0027】

次に、書き込み回路を単純化した不揮発性メモリについて、図17を用いて説明する。図17に示す書き込み回路は、2個のメモリセルのいずれかに、iビットの外部データを書き込む回路である。

#### 【0028】

図17に示す不揮発性メモリは、メモリセル1700、セクタ1702、書き込み回路1705を有する(図17参照)。メモリセル1700はn個の記憶素子1701(1)~1701(n)を有し、セクタ1702はスイッチ1703(1)~1703(n)、1704(1)~1704(n)を有し、書き込み回路1705はスイッチ1706(1)~1706(n)、変換回路1707を有する。

#### 【0029】

この回路の動作について説明する。iビット入力データは変換回路1707によってnビットの内部データに変換され、その出力に従って、n個のスイッチ1706(1)~1706(n)を制御する。そして、内部データのL状態に対応する内部データバスにはGNDを、H状態に対応する内部データバスにはV<sub>w</sub>をそれぞれ駆動する。そして、セクタ1702がメモリセル1700を選択すると、選択されたメモリセル1700は、内部データに対応した状態となるように書き込みが行われる。

#### 【0030】

読み出しについては、メモリが読み出しを表すコントロール信号(Control)を受け取ると、読み出しに必要な電圧が選択され、同時に、アドレス信号がローデコーダ1503及びコラムデコーダ1504に入力され、メモリセルを選択する。そして、選択されたメモリセルに接続されるビット線が読み出し回路1502に入力される。読み出し回路1502はビット線電位に基づいて内部データを読み出し、これを外部データに変換したのち、出力する。このとき、データだけでなく、読み出したデータが信頼できるかどうかを判断するバリッド信号を出力する。

#### 【0031】

読み出し回路を単純化した例を、図16を用いて説明する。図16は2個のメモリセルのいずれかから、iビットのデータを読み出す回路である。

#### 【0032】

図16に示す不揮発性メモリは、メモリセル1600、セクタ1602、読み出し回路1605を有する。メモリセル1600はn個の記憶素子1601(1)~1601(n)を有し、セクタ1602はスイッチ1603(1)~1603(n)、1604(1)~1604(n)を有し、読み出し回路1605は内部データ読み出し回路1608、変換回路1606、判定回路1607を有する。

#### 【0033】

この回路は次のように動作する。セクタ1602がメモリセル1600を選択し、該当するスイッチをオンする。そして、メモリセル1600内のn個の記憶素子1601(1)~1601(n)に接続されるビット線が読み出し回路1605に接続される。ビット線が読み出し回路1605に接続すると、内部データ読み出し回路1608によってnビット内部データが読み出される。そして、読み出されたnビット内部データは、変換回路1606によってiビットのデータに変換されて出力される。



## 【0034】

また、判定回路1607は、読み出した $n$ ビットの内部データのうちL状態が $k$ ビット、H状態が $(n-k)$ ビットである場合に、“1”、それ以外では“0”となるバリッド信号を出力する。バリッド信号が“1”であれば、読み出したメモリセルには、妥当なデータが書き込まれていたことが確認される。一方、バリッド信号が“0”である場合には、メモリセルにはデータが格納されていない状態であると判断することができる。バリッド信号“0”は、まだデータを書いていないメモリセルや、データ書き込みエラーのあったメモリセル、不正な追加書き込みを行ったメモリセルなどが読み出された時に出力される。

## 【0035】

なお、セキュリティの面からは、書き込み時にはデータをフルに書きこむ、つまり、全てのメモリセルを、データを表す状態に遷移させることが望ましい。その場合、バリッド信号は常に“1”となる。もし、バリッド信号に“0”が出力された場合は、不正な追加書き込みなどが考えられ、バリッド信号によってデータの信頼性を判断することができる。そして、“0”が出力されたメモリセルに関わるデータを無効とするなどの対処を行うことができる。

## 【0036】

以上のようにして、追加書き込みによるデータ変更が困難な、高いセキュリティの不揮発性メモリが実現される。なお、一般にメモリセルを構成する記憶素子数が多いほど、つまり、 $n$ が大きいほど、一つの記憶素子あたりの情報量を増やすことが可能である。

## 【0037】

このような本実施の形態にかかるOTPタイプの不揮発性メモリは、コンピュータや各種電子機器の記憶手段として用いることができる。また、その他にも、ICカードやICタグといった高いセキュリティ性が要求される用途にも適用することができる。

## 【実施例1】

## 【0038】

本実施例では、LとHの二つの状態を有し、LからHにのみ遷移可能な3つの記憶素子からなるOTPタイプの不揮発性メモリについて示す。このメモリにおいて、3個の記憶素子からなるメモリセルをデータ格納の単位とし、2個の記憶素子がL状態、1個の記憶素子がH状態である状態の組を用いてデータを格納する形態を、図1、図2、図13を用いて説明する。

## 【0039】

本発明のOTPタイプの不揮発メモリは、基板100上に、書き込み回路101、読み出し回路102、ローデコーダ103、コラムデコーダ104、セクタ105、メモリセルアレイ106等を有する(図1(A)参照。)。メモリセルアレイ106は、 $m$ 本のワード線と、 $3 \times j$ 本のビット線、マトリクス上に配置された $m \times j$ 個のメモリセル107等を有する。

## 【0040】

メモリセル107は、第1の記憶素子108、第2の記憶素子109、第3の記憶素子110を有する(図1(B)参照。)。第1の記憶素子108、第2の記憶素子、第3の記憶素子110は、フローティングゲート、コントロールゲート、ソース領域及びドレイン領域を有する。第1の記憶素子108のコントロールゲート、第2の記憶素子109のコントロールゲート、第3の記憶素子110のコントロールゲートは共通のワード線(word)に接続する。第1の記憶素子108のソース領域及びドレイン領域、第2の記憶素子109のソース領域及びドレイン領域、第3の記憶素子110のソース領域およびドレイン領域は一方はそれぞれ異なるビット線(bit1, bit2, bit3)に接続し、もう一方は共通電極(SC)に接続する。

## 【0041】

メモリセル107が取り得る状態と許容される遷移可能について、図14を用いて説明する。メモリセル107が有する状態の総数は8通りであり、そのうちどちらへも遷移す

ることのできない状態の組として、代表的には「L状態の記憶素子が1個とH状態の記憶素子が2個の状態の組（3状態）」、あるいは「H状態の記憶素子が1個とL状態の記憶素子が2個の状態の組（3状態）」を選ぶことができる。

**【0042】**

それぞれの3状態は他の状態に遷移することはできない。すなわち、状態（H, L, L）、状態（L, H, L）および状態（L, L, H）はそれぞれ互いに他の状態に遷移することはない。同様に、状態（H, H, L）、状態（H, L, H）および状態（L, H, H）も互いに他の状態に遷移することはない。

**【0043】**

そして、互いに他の状態に遷移することはない3状態の組のいずれかを採用することで、3個の記憶素子で、セキュリティの高い3値のデータを格納することができる。

**【0044】**

なお、2個の記憶素子でメモリセルを構成する場合と、記憶素子あたりの情報量を比較してみる。2個の記憶素子では、互いに他の状態に遷移することはない組として、（H, L）と（L, H）による2値データを格納することができる。6個の記憶素子を考えると、2記憶素子/メモリセルでは $2 \times 2 \times 2 = 8$ 値、3記憶素子/メモリセルでは $3 \times 3 = 9$ 値をそれぞれ格納することができる。つまり、3個の記憶素子を用いることによって、2記憶素子/メモリセル方式よりも、記憶素子あたりの情報量が高いことがわかる。

**【0045】**

ここでは、データとして用いるメモリセル107の状態を、状態（H, L, L）、状態（L, H, L）および状態（L, L, H）の3種であるとして、それぞれにデータ“00”、“01”、“10”を割り振る。

**【0046】**

メモリセル107へのデータの書き込みは、メモリセル107が（L, L, L）の状態に対して行われる。メモリが書き込みを表すコントロール信号（Control）を受け取ると、書き込みに必要となる電圧が選択され、書き込み回路101は、データ信号（Data）を（H, L, L）、（L, H, L）、（L, L, H）の内部データ形式に変換し、内部データバスに乗せる。同時に、アドレス信号がローデコーダ103及びコラムデコーダ104に入力され、メモリセルを選択する。その結果、選択されたメモリセルに接続されるワード線に高電位が印加され、ビット線には、内部データに対応した書き込み用の高電位が印加される。

**【0047】**

第1の記憶素子108に接続されるビット線に高電位を印加した場合は（H, L, L）となり、従ってメモリセル107に記憶されるデータは“00”となる。同様に、第2の記憶素子109に接続されるビット線に高電位を印加した場合は（L, H, L）となり、従ってメモリセル107に記憶されるデータは“01”となり、第3の記憶素子110に接続されるビット線に高電位を印加した場合は（L, L, H）となり、従ってメモリセル107に記憶されるデータは“10”となる。

**【0048】**

書き込み回路を単純化した例を、図13を用いて説明する。図13は2個のメモリセルのいずれかに、“00”、“01”、もしくは“10”の外部データを書き込む回路である。

**【0049】**

図13の不揮発性メモリは、メモリセル1300、セクタ1304、書き込み回路1311を有する。メモリセル1300は第1の記憶素子1301、第2の記憶素子1302、第3の記憶素子1303を有し、セクタ1304はスイッチ1305～1310を有し、書き込み回路1311はスイッチ1312～1314、変換回路1315を有する。

**【0050】**

この回路は、入力データは変換回路1315の出力に従ってスイッチ1312、スイッ

チ 1313、スイッチ 1314 を制御し、内部データの L 状態に対応する内部データバスには GND を、H 状態に対応する内部データバスには Vw をそれぞれ駆動するように動作する。なお、変換回路 1315 は図 4 に示すような組み合わせ回路によって容易に構成することが可能である。

#### 【0051】

具体的には、入力データが“00”の時、3本の内部データバスが(Vw, GND, GND)となるように駆動する。そして、セクタ 1304 がメモリセル 1300 を選択すると、選択されたメモリセル 1300 は、(H, L, L) 状態となるように書き込みが行われる。同様に、入力データが“01”の時、3本の内部データバスが(GND, Vw, GND)となるように駆動して、選択されたメモリセル 1300 は、(L, H, L) 状態となるように書き込みが行われる。入力データが“10”の時、3本の内部データバスが(GND, GND, Vw)となるように駆動して、選択されたメモリセル 1300 は、(L, L, H) 状態となるように書き込みが行われる。

#### 【0052】

前述したように記憶素子における状態遷移は、L から H への一方向である。つまり、可能な状態遷移は (L, L, L) から (H, L, L) または (L, H, L) または (L, L, H) のいずれかであり、(H, L, L) と (L, H, L)、(L, L, H) は互いに遷移できない。その結果、一旦“00”となったデータを“01”もしくは“10”に書き換える事はできない。

#### 【0053】

例えば“00”であるデータを持つメモリセル 107 に書き込みを行い、第 2 の記憶素子 109 に電荷注入した場合は (H, H, L) となり、これは不正なデータとして扱われる。“01”であるデータを持つメモリセルに書き込みを行い、第 1 の記憶素子 108 のコントロールゲートに入力した場合も同様である。このように、追加書き込みによるデータ変更が困難な、高いセキュリティの不揮発性メモリが実現される。

#### 【0054】

読み出しについては、メモリが読み出しを表すコントロール信号 (Control) を受け取ると、読み出しに必要な電圧が選択され、同時に、アドレス信号がローデコード 103 及びコラムデコード 104 に入力され、メモリセルを選択する。そして、選択されたメモリセルに接続されるビット線が読み出し回路 102 に入力される。読み出し回路 102 はビット線電位に基づいて内部データを読み出し、これを外部データに変換したのち、出力する。また、データだけでなく、読み出したデータが信頼できるかどうかを判断するバリッド信号を出力する。

#### 【0055】

読み出し回路の構成例を、図 2 を用いて説明する。図 2 は 2 個のメモリセルのいずれかから、“00”、“01”、“10”のデータを読み出す回路である。

#### 【0056】

図 2 の不揮発性メモリは、メモリセル 200、セクタ 204、読み出し回路 211 を有する。メモリセル 200 は第 1 の記憶素子 201、第 2 の記憶素子 202、第 3 の記憶素子 203 を有し、セクタ 204 はスイッチ 205～210 を有し、読み出し回路 211 は内部データ読み出し回路 214、変換回路 212 および判定回路 213 を有する。

#### 【0057】

この回路は、セクタ 204 がメモリセルを選択し、該当するスイッチをオンする。そして、メモリセル 200 内の第 1 の記憶素子 201、第 2 の記憶素子 202、第 3 の記憶素子 203 に接続されるビット線が読み出し回路 211 に接続されるように動作する。

#### 【0058】

ビット線が読み出し回路 211 に接続されると、内部データ読み出し回路 214 によって 3 ビット内部データが読み出される。そして、読み出された 3 ビット内部データは、変換回路 212 によって“00”、“01”、“10”のデータに変換されて出力される。また、判定回路 213 によってバリッド信号が生成され、出力される。変換回路 212 と



判定回路 2 1 3 は図 5 に示すような組み合わせ回路によって容易に構成することが可能である。

#### 【0 0 5 9】

判定回路 2 1 3 は読み出した 3 本の読み出し信号からデータの信頼性を判定する回路であり、3 個の記憶素子のうち、H 状態の素子が 1 個ある場合にバリッド信号をアサートする。つまり、バリッド信号は第 1 の記憶素子 2 0 1 の状態、第 2 の記憶素子 2 0 2 の状態そして第 3 の記憶素子 2 0 3 の状態が (H, L, L)、(L, H, L) または (L, L, H) の場合に “1”、それ以外では “0” となる。

#### 【0 0 6 0】

バリッド信号が “1” であれば、読み出したメモリセルには、妥当なデータが書き込まれていたことが確認される。一方、バリッド信号が “0” である場合には、メモリセルにはデータが格納されていない状態であると判断することができる。バリッド信号 “0” は、まだデータを書いていないメモリセルや、データ書き込みエラーのあったメモリセル、不正な追加書き込みを行ったメモリセルなどを読み出す時に出力される。そして、セキュリティの面からは、そのようなメモリセルに関わるデータを無効とするなどの対処を行うことができる。

#### 【実施例 2】

##### 【0 0 6 1】

本実施例では、本発明を用いた応用例について、図 1 2、図 1 8 を用いて説明する。本発明の不揮発性メモリは、高いセキュリティを実現することが特徴であるから、偽造、不正使用の防止が重要となる IC カード、ID カード、ID タグあるいは R F I D カード若しくはタグ類の用途に適している。

##### 【0 0 6 2】

IC カードとは、プラスチック製カードに薄片化した半導体集積回路 (IC チップ) を埋設して情報を記録できるようにしたカードである。データを読み書きする方式の違いによって「接触式」と「非接触式」に分けられる。非接触式カードにはアンテナが内蔵されており、微弱な電波を利用して端末と交信することができるものである。

ID カードとは、IC カードと同様な機能及び構成を有し、特に身分証明などの認証機能に特化したものを指している。

ID タグとは、物体の識別に利用される微小な IC チップ (特にこの用途の IC チップを「ID チップ」ともいう。) に自身の識別コードなどの情報が記録されており、電波を使って管理システムと情報を送受信する能力をもつものをいう。数十ミリメートルの大きさで、電波や電磁波で読み取り器と交信することができる。アンテナ側からの非接触電力伝送技術により、電池を持たずに半永久的に利用可能なものもある。

R F I D とは、電波方式認識 (Radio Frequency-Identification) を指し、リーダ/ライタ装置と無線通信により情報を通信可能な ID タグとで構成される認証技術を指している。この R F I D に使う ID タグの態様はさまざまであり、カード形式のものや、ラベル類、証書類などがある。

##### 【0 0 6 3】

一方で、本発明の不揮発性メモリは、メモリセル面積が従来の O T P タイプの不揮発性メモリよりもやや大きくなる。例えば、メモリセルあたり 8 ビットデータを有する場合、6 ビットデータを格納できるが、従来の 8 ビットデータを格納する場合と比較して 2 5 % 程度のメモリセル面積の増加となる。この対策として、例えば、IC カードや R F I D 内の集積回路を従来のシリコン基板上に形成するのではなく、大判のガラス基板上に形成することで、多数の集積回路を作製することでコストを低減することができる。あるいは、チップ面積は耐衝撃性能に大きな影響を及ぼすが、集積回路が形成されたガラス基板からガラス基板以外の部分であるデバイス層を剥離し、フレキシブル基板やターゲットへ貼附することで耐衝撃性能を改善することが極めて有効である。

##### 【0 0 6 4】

なお、フレキシブル基板とは、可撓性を有する基板を指し、代表的には、プラスチック



基板、紙などをその範疇に含む。プラスチックとして、例えば、極性基のついたポリノルボルネン、ポリエチレンテレフタレート (PET)、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ナイロン、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミドなどが挙げられる。

#### 【0065】

本発明の不揮発性メモリを用いたIDチップの簡単な構成例として、図18のようなブロック図を挙げることができる。図18に示すのは、アンテナを内蔵した非接触型のIDチップである。IDチップ2001は、アンテナ2002、RF回路2003、電源/クロック信号/リセット信号発生回路2004、データ復調/変調回路2005、制御回路2006、メモリ2007、中央処理装置 (以下「CPU (central processing unit)」ともいう、図示せず) 2008 (図示せず)、SRAM2009 (図示せず) を有する。

#### 【0066】

図18に示した各集積回路は全てガラス基板上、もしくはフレキシブル基板上に形成されている。アンテナ2002は集積回路を形成する基板上に形成されていてもよいし、集積回路を形成する基板の外部にあり、入出力端子を介して集積回路と接続されるものであってもよい。

#### 【0067】

RF回路2003はアンテナ2002よりアナログ信号を受信すると共に、データ変調回路より受け取ったアナログ信号をアンテナ2002から出力する回路である。電源/クロック信号/リセット信号発生回路2004は受信信号をもとに定電源、リセット信号及びクロック信号を発生する回路であり、データ復調/変調回路2005は受信信号からデータを抽出すると共に、制御回路2006から受け取ったデジタル信号をアンテナ2002へ出力するアナログ信号に変換する回路である。制御回路2006はCPU2008を制御し、復調した受信信号に従ってメモリ2007、SRAM2009に記憶されたデータの読み出しもしくはデータの書き込みを行う。

#### 【0068】

本発明の不揮発性メモリは、メモリ2007に適用される。なお、用途によっては回路の構成にCPU2008及びSRAM2009は必ずしも必要ではなく、それを省いて面積の縮小を図ることもできる。また、IDチップの機能が識別番号等の固定データを読み出し程度に限定される場合であっても、不足する機能をインターネットなどのネットワーク技術を利用して補完することで、さまざまな用途に応用することが可能である。

#### 【0069】

このようにして形成されたIDチップは小型化が可能であることから、さまざまな物品に貼付する、あるいは組み込むというを行うことで商品の識別や製造元の識別、在庫や流通の管理などが容易に行うことができる。図12 (A) ~ (H) は本発明を用いた不揮発性メモリを用いて構成したIDチップを応用した例を示す。

#### 【0070】

図12 (A) はICカードであり、書き換え困難である本発明の不揮発性メモリの利点を利用して高いセキュリティが必要な個人の識別用に用いることができる。ICカード1200に内蔵された内蔵メモリ1201に本発明の不揮発性メモリを用いている。

#### 【0071】

図12 (B) はIDタグであり、個人の識別用のほかに、小型化可能であることから特定の場所での入場管理などに用いることができる。IDタグ1210に内蔵された内蔵メモリ1211に本発明の不揮発性メモリを用いている。

#### 【0072】

図12 (C) はスーパーマーケットなどの小売店で商品を扱う際の商品管理を行うためのIDチップ1222を商品に貼付した例である。本発明はIDチップ1222内の回路に内蔵される不揮発性メモリに適用される。このようにIDチップを用いることにより、

在庫管理が容易になるだけでなく、万引きなどの被害を防ぐことも可能である。図面では I D チップ 1 2 2 2 が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜 1 2 2 1 を用いているが、I D チップ 1 2 2 2 を接着剤により直接貼付するような構造を取っていてもよい。また、商品に貼付する構造上、基板はフレキシブル基板を用いて作製すると好ましい。

#### 【0 0 7 3】

図 1 2 (D) は商品製造時に識別用の I D チップを組み込んだ例である。その一例としてディスプレイの筐体 1 2 3 0 内部に I D チップ 1 2 3 1 を組み込まれている。本発明は I D チップ 1 2 3 1 内の回路に内蔵される不揮発性メモリに適用される。このような構造を取ることで製造メーカーの識別、商品の流通管理などを容易に行うことができる。なお、図面ではディスプレイの筐体を例として取り上げているが、本発明はこれに限定されることはなく、さまざまな物品に対して適用することが可能である。

#### 【0 0 7 4】

図 1 2 (E) は物品搬送用の荷札 1 2 4 0 内に I D チップ 1 2 4 1 が組み込まれている。本発明は I D チップ 1 2 4 1 内の回路に内蔵される不揮発性メモリに適用される。このような構造を取ることで搬送先の選別や商品の流通管理などを容易に行うことができる。なお、図面では物品を縛るひも状のものにくくりつけるような構造を取っているが、本発明はこれに限定されることはなく、シール材のようなものを用いて物品に直接貼付するような構造を取ってもよい。

#### 【0 0 7 5】

図 1 2 (F) は本 1 2 5 0 に I D チップ 1 2 5 2 が組み込まれたものである。本発明は I D チップ 1 2 5 2 内に内蔵される不揮発性メモリに適用される。このような構造を取ることで書店における流通管理や図書館などでの貸し出し処理などを容易に行うことができる。図面では I D チップ 1 2 5 2 が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜 1 2 5 1 を用いているが、I D チップ 1 2 5 2 を接着剤により直接貼付するような構造を取る、または本 1 2 5 0 の表紙に埋め込む構造を取っていてもよい。

#### 【0 0 7 6】

図 1 2 (G) は紙幣 1 2 6 0 に I D チップ 1 2 6 1 が組み込まれたものである。本発明は I D チップ 1 2 6 1 内に内蔵される不揮発性メモリに適用される。このような構造を取ることで偽札の流通を阻止することが容易に行える。紙幣のみならず株券、商品券もしくは小切手などの有価証券にも同様に適用することができる。なお、紙幣の性質上 I D チップ 1 2 6 1 が剥がれ落ちるのを防ぐために紙幣 1 2 6 0 に埋め込むような構造を取るとより好ましい。

#### 【0 0 7 7】

図 1 2 (H) は靴 1 2 7 0 に I D チップ 1 2 7 2 が組み込まれたものである。本発明は R F I D チップ 1 2 7 2 内の回路に内蔵される不揮発性メモリに適用される。このような構造を取ることで製造元の識別、商品の流通管理などを容易に行うことができる。図面では I D チップ 1 2 7 2 が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜 1 2 7 1 を用いているが、I D チップ 1 2 7 2 を接着剤により直接貼付するような構造を取る、または靴 1 2 7 0 に埋め込む構造を取っていてもよい。

#### 【0 0 7 8】

いずれも、本発明の不揮発性メモリを内蔵することで、データを不用意に書き換えられることを防ぐことができる高いセキュリティを実現することができる。なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。本実施例は、他の実施例と自由に組み合わせることができる。

#### 【実施例 3】

#### 【0 0 7 9】

絶縁基板上に実施の形態で示した記憶素子、およびデコーダ、セレクト、書き込み回路、読み出し回路などの論理回路部に用いる薄膜トランジスタ（以下「T F T (Thin Film Transistor)」ともいう。）を同時に作製する方法について図 3 及び図 2 0 を用いて説明

する。なお、本実施例では半導体素子として、フローティングゲートを有する n チャネル型の記憶素子、n チャネル型 T F T、p チャネル型 T F T を例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

#### 【0080】

絶縁基板としては、ガラス基板（例えば、コーニング社製 1 7 3 7 基板）を選択する。その他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いても良い。

#### 【0081】

基板 3 0 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜を用いて下地膜 3 0 0 1、3 0 0 2 を形成する。下地膜は複数膜を積層して形成することもできる。その場合、シロキサン（S i と O との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料が用いられる。または置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有するもの）等の耐熱性樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。尤も、好適には、下地膜 3 0 0 1 として窒化シリコン膜を 5 0 ~ 2 0 0 n m の厚さで形成し、下地膜 3 0 0 2 として酸化シリコン膜を 5 0 ~ 2 0 0 n m の厚さで順に積層形成する。

#### 【0082】

ここで、酸化シリコン膜は、S i H<sub>4</sub>/O<sub>2</sub>、T E O S（テトラエトキシシラン）/O<sub>2</sub>等の混合ガスを用い、熱 C V D、プラズマ C V D 等の方法によって形成することができる。窒化シリコン膜は、代表的には、S i H<sub>4</sub>/N H<sub>3</sub>の混合ガスを用い、プラズマ C V D によって形成することができる。また、酸化窒化シリコン膜は、S i H<sub>4</sub>/N<sub>2</sub>O の混合ガスを用い、プラズマ C V D によって形成することができる。

#### 【0083】

下地膜 3 0 0 2 上に、半導体層 3 0 0 3 ~ 3 0 0 5 を形成する。半導体層 3 0 0 3 ~ 3 0 0 5 は、多結晶半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム（S i G e）等を主成分とする半導体膜を用いることができる。

#### 【0084】

ここでは、7 0 n m の膜厚の非晶質シリコンを形成しレーザーアニールによって結晶化させた多結晶シリコンを用いる。レーザーアニールは、エキシマレーザーを用いたパルスレーザー光、又は固体レーザを光源とする連続発振レーザー光により結晶化させる。特に結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第 2 高調波 ~ 第 4 高調波を適用するのが好ましい（この場合の結晶化を C W L C という。）。

代表的には、N d : Y V O<sub>4</sub> レーザ（基本波 1 0 6 4 n m）の第 2 高調波（5 3 2 n m）や第 3 高調波（3 5 5 n m）を適用すればよい。連続発振のレーザを用いる場合には、出力 1 0 W の連続発振の Y V O<sub>4</sub> レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中に Y V O<sub>4</sub> 結晶又は G d V O<sub>4</sub> 結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は 0 . 0 1 ~ 1 0 0 M W / c m<sup>2</sup> 程度（好ましくは 0 . 1 ~ 1 0 M W / c m<sup>2</sup>）が必要である。そして、1 0 ~ 2 0 0 0 c m / s e c 程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

#### 【0085】

また、パルス発振のレーザを用いる場合、通常、数十 H z ~ 数百 H z の周波数帯を用いるが、それよりも著しく高い 1 0 M H z 以上の発振周波数を有するパルス発振レーザを用いてもよい（この場合の結晶化を M H z L C という。）。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十 n s e c ~ 数百 n s e c とされているため、上記高周波数帯を用いることで、半導体膜がレーザ光によって熔融してから固化するまでに、次のパルスのレーザ光を照射できる。よって、従来のパルス発振



のレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が $10 \sim 30 \mu\text{m}$ 、走査方向に対して垂直な方向における幅が $1 \sim 5 \mu\text{m}$ 程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTF Tのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

#### 【0086】

セミアモルファス半導体は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。ラマンスペクトルが $520 \text{ cm}^{-1}$ よりも低波数側にシフトしている。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。所謂微結晶半導体（マイクロクリスタル半導体）とも言われている。 $\text{SiH}_4$ と $\text{F}_2$ 、または $\text{SiH}_4$ と $\text{H}_2$ を原料ガスとして用い、グロー放電分解により得ることができる。その他にも $\text{SiH}_4$ 、その他にも $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ などを用いることが可。また $\text{GeF}_4$ を混合させても良い。これを $\text{H}_2$ 、又は、 $\text{H}_2$ と $\text{He}$ 、 $\text{Ar}$ 、 $\text{Kr}$ 、 $\text{Ne}$ から選ばれた一種または複数種の希ガス元素で希釈しても良い。グロー放電を生成する電源周波数は $1 \text{ MHz} \sim 120 \text{ MHz}$ 、好ましくは $13 \text{ MHz} \sim 60 \text{ MHz}$ で良い。基板加熱温度は $300^\circ\text{C}$ 以下でよく、好ましくは $100 \sim 250^\circ\text{C}$ 。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。X線回折では $\text{Si}$ 結晶格子に由来するとされる $(111)$ 、 $(220)$ の回折ピークが観測される。

#### 【0087】

また、 $\text{Ni}$ 、 $\text{Fe}$ 、 $\text{Ru}$ 、 $\text{Rh}$ 、 $\text{Pd}$ 、 $\text{Os}$ 、 $\text{Ir}$ 、 $\text{Pt}$ などの金属元素の触媒作用を利用した公知の結晶化法を用いても良い。

#### 【0088】

なお、下地膜3002の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。

#### 【0089】

上記の方法によって結晶性シリコン半導体膜を得る。結晶層の厚さは、 $20 \sim 200 \text{ nm}$ （代表的には $40 \sim 170 \text{ nm}$ 、さらに好ましくは、 $50 \sim 150 \text{ nm}$ ）となるようにするのがよい。

#### 【0090】

なお、TF T内の特にチャネル領域には、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の水素又はハロゲンが添加されているのがよい。セミアモルファス半導体に関しては、 $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ とするのが望ましい。いずれにしても、ICチップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TF T部に局部クラックが生じても、水素又はハロゲンによってターミネート（終端）されうる。

#### 【0091】

ここで、記憶素子に用いるTF Tの半導体層3003のソース領域またはドレイン領域の片側に電荷を引き抜くためのオーバーラップ領域を設ける為の処理を行ってもよい。

#### 【0092】

次に、半導体層3003～3005上にゲート絶縁膜3006を形成する。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化シリコン、酸化シリコン、窒化酸化シリコン又は酸化窒化シリコンを含む膜を、単層で、又は積層させて形成することが好ましい。特に、OTPタイプの不揮発性メモリではホットエレクトロン注入による書き込みと電荷保持が重要であるから、ゲート絶縁膜はトンネル電流の流れにくい $40 \sim 80 \text{ nm}$ とすることが好ましい。



## 【0093】

そして、ゲート絶縁膜 3006 上に第 1 の導電層 3007～3009 を形成し、後にフローティングゲート電極となる領域と通常の TFT のゲート電極となる領域を含む領域を除いて、エッチングにより除去する。

## 【0094】

次いで、第 2 のゲート絶縁膜 3010 を形成する。第 2 のゲート絶縁膜 3010 はプラズマ CVD 法またはスパッタリング法を用い、厚さを 10～80 nm としてシリコンを含む絶縁膜で形成する。第 2 のゲート絶縁膜 3010 は、記憶素子の存在する領域を除いて、エッチングにより除去する。

## 【0095】

続いて第 2 の導電層 3011～3013 を形成し、積層された第 1 の導電層 3007/第 2 のゲート絶縁膜 3010/第 2 の導電層 3011 (記憶素子) あるいは、積層された第 1 の導電層 3007/第 2 の導電層 3011 (通常の TFT) を一括でエッチングを行い、記憶素子のフローティングゲート電極、コントロールゲート電極、および通常の TFT のゲート電極を形成する。

## 【0096】

本実施例では、第 1 の導電層 3007～3009 を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で 50～100 nm の厚さに形成し、第 2 の導電層 3011～3013 をモリブデン (Mo) で 100～300 nm の厚さに形成する。導電層の材料は特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。

## 【0097】

次に、p チャネル型 TFT となる部分をレジストで覆い、ゲート電極をマスクとして、記憶素子および n チャネル型 TFT を構成する半導体層 3003、3004 中に、n 型を付与する不純物元素 (代表的には P (リン) 又は As (砒素)) を低濃度にドーピングする (第 1 のドーピング工程)。第 1 のドーピング工程の条件は、ドーピング量:  $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧: 50～70 keV とするが、これに限定されるものではない。この第 1 のドーピング工程によって、ゲート絶縁膜 3006 を介してスルードーピングがなされ、一対の低濃度不純物領域が形成される。なお、第 1 のドーピング工程は、p チャネル型 TFT 領域をレジストで覆わずに、全面に行っても良い。

## 【0098】

次に、レジストをアッシング等により除去して、記憶素子及び n チャネル型 TFT 領域を覆うレジストを新たに形成し、ゲート電極をマスクとして、p チャネル型 TFT を構成する半導体層 3005 中に、p 型を付与する不純物元素 (代表的には B (ホウ素)) を高濃度にドーピングする (第 2 のドーピング工程)。第 2 のドーピング工程の条件は、ドーピング量を  $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧を 20～40 keV として行う。この第 2 のドーピング工程によって、ゲート絶縁膜 3006 を介してスルードーピングがなされ、一対の p 型の高濃度不純物領域が形成される。

## 【0099】

次に、レジストをアッシング等により除去して、基板表面に絶縁膜を形成する。ここでは、膜厚 100 nm の SiO<sub>2</sub> 膜をプラズマ CVD 法によって形成する。その後、基板全面をレジストで覆い、エッチバック法により、サイドウォール (側壁) 3020、3021 を自己整合的 (セルフアライン) に形成する。エッチングガスとしては、CHF<sub>3</sub> と H<sub>2</sub>e の混合ガスを用いる。

## 【0100】

上記サイドウォールは、後に高濃度の n 型不純物をドーピングし、サイドウォール 3020、3021 の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものである。

## 【0101】

なお、サイドウォール 3020、3021 を形成する工程は、これらに限定されるもの

ではない。例えば、図20に示す方法を用いることができる。図20(A)は、絶縁膜3100を二層又はそれ以上の積層構造とする例を示している。絶縁膜3100としては、例えば、膜厚100nmの酸化窒化シリコン膜と、膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)の2層構造とする。ここでは、SiON膜は、プラズマCVD法で形成し、LTO膜は酸化シリコン膜を減圧CVD法で形成する。その後、レジスト3101をマスクとしてエッチバックを行うことにより、L字状と円弧状からなるサイドウォール3102が形成される。

#### 【0102】

また、図20(B)は、エッチバック時に、ゲート絶縁膜3105も除去するようにエッチングを行う例を示している。絶縁膜3103として、膜厚100nmの酸化シリコン膜をプラズマCVD法によって形成し、基板全面をレジスト3104で覆ってエッチバックにより、レジスト3104、絶縁膜3103、ゲート絶縁膜3105をエッチング除去し、サイドウォール3106を自己整合的(セルフアライン)に形成する。この場合の絶縁膜3103は、単層構造でも積層構造でも良い。

#### 【0103】

上述のサイドウォールのいずれの形成方法においても、低濃度不純物領域又はオフセット領域の幅を考慮して、エッチバックの条件を適宜変更すればよい。

#### 【0104】

次に、pチャネル型TFET領域を覆うレジストを新たに形成し、第1の導電層3008及びサイドウォール3020、3021をマスクとして、n型を付与する不純物元素(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程)。第3のドーピング工程の条件は、ドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧を60~100keVとして行う。この第3のドーピング工程によって、ゲート絶縁膜3006を介してスルードーピングがなされ、一対のn型の高濃度不純物領域が形成される。

#### 【0105】

以上までの工程で、それぞれの半導体層3003~3005に、第1の不純物領域3014、3015、第2の不純物領域3016、3017、第3の不純物領域3018、3019、第4の不純物領域3022、3023が形成される。

#### 【0106】

なお、レジストをアッシング等により除去して、不純物領域の熱活性化を行っても良い。例えば、50nmの酸化窒化シリコン膜を成膜して、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成し、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものである。さらに、この後、TFETを保護するキャップ絶縁膜として、膜厚600nmの酸化窒化シリコン膜を形成する。その他にもTFETを保護するキャップ絶縁膜としては、窒化アルミニウム、酸化アルミニウム、窒化シリコン、酸化シリコンなどのアルカリ金属をブロックする材料を用いることができる。これらの絶縁膜を形成させることにより、TFETの上下、外周辺部をアルカリ金属をブロックする絶縁膜で覆うことができる。そのことによって、TFETの特性に悪影響を与えるNaなどがTFETに侵入することを防ぐ機能をも有しているため、できるだけ形成しておくのが望ましい。

#### 【0107】

次に、TFET上に、第1の層間膜3024を形成する。第1の層間膜3024としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂の他、無機材料、低誘電率(low-k)材料を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。無機材料では、酸化シリコン、窒化シリコン、酸窒化シリコン、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜

等を用いることができる。なお、これらの絶縁膜を積層させて、第1の層間膜3024を形成しても良い。

#### 【0108】

さらに、第1の層間膜3024上に、第2の層間膜3025を形成しても良い。第2の層間膜3025としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化シリコン膜、窒化シリコン膜或いは窒化酸化シリコン膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

#### 【0109】

なお、第1の層間膜3024又は第2の層間膜3025と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の膜剥がれや割れが生じるのを防ぐために、第1の層間膜3024又は第2の層間膜3025中にフィラーを混入させておいても良い。

#### 【0110】

次に、レジストを形成して、エッチングによりコンタクトホールを開孔する。そして電極3026～3030を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、 $\text{CHF}_3$ とHeの混合ガスを用いたが、これに限定されるものではない。ここでは、TFTと接続される電極3026～3030は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成する。

#### 【0111】

なお、Al層において、シリコンを混入させることにより、パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、電極の材料や、形成方法はこれらに限定されるものではなく、前述のゲート電極に用いられる材料を採用しても良い。

#### 【0112】

以上のようにして、図3に示すようなフローティングゲートを有するnチャネル型の記憶素子を有するメモリ部と、LDD構造のnチャネル型TFTおよびシングルドレイン構造のpチャネル型TFTを有する論理回路部と、を同一の基板上に形成することができる。この方法で形成されたTFTは、高い特性を有することができる。具体的には、S値が0.35以下、好ましくは0.25～0.09 V/divを有する。また、移動度は $10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上を有する。なお、本実施例では、トップゲート構造とするが、ボトムゲート構造（逆スタガ構造）としてもよい。また、nチャネル型TFTに形成する不純物領域の条件によっては、サイドウォールを形成せずに第3のドーピング工程を行っても良い。

#### 【0113】

なお、TFTのような薄膜能動素子部（アクティブエレメント）の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該領域は、薄膜集積回路装置全体の50%以上、好ましくは70～99%を占めていることが望ましい。これにより、IDFチップを曲げやすくし、IDラベル等の完成品の取り扱いが容易となる。この場合、TFT部を含むアクティブエレメントの島状半導体領域（アイランド）は、薄膜集積回路装置全体の1～30%、好ましくは、5～15%を占めているのがよい。本実施例は、他の実施例と自由に組み合わせることができる。

#### 【実施例4】

#### 【0114】

本実施例は、メモリ部および論理回路部を形成し、フレキシブル基板へ転置するまでの作製方法について図6、図7を用いて説明する。なお、本実施例では半導体素子として、



フローティングゲートを有する n チャンネル型の記憶素子、n チャンネル型 T F T、および p チャンネル型 T F T を例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

#### 【0115】

絶縁基板 3000 上に剥離層 4000 を形成する。剥離層 4000 は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン（セミアモルファスシリコンを含む）等、シリコンを主成分とする層を用いることができる。剥離層 4000 は、スパッタ法、プラズマ C V D 法等を用いて形成することができる。本実施例では、膜厚 500 nm 程度の非晶質シリコンをスパッタ法で形成し、剥離層 4000 として用いる。

#### 【0116】

続いて実施例 2 に示した作業工程に従い、図 3 に示すようなメモリ部、論理回路部を形成する。

#### 【0117】

次に、第 2 の層間膜 3025 上に第 3 の層間絶縁膜 4001 を形成し、パッド 4002 ~ 4005 を形成する。パッド 4002 ~ 4005 は、A g、A u、C u、P d、C r、M o、T i、T a、W、A l などの金属、金属化合物を 1 つまたは複数有する導電材料を用いることができる。

#### 【0118】

そしてパッド 4002 ~ 4005 を覆うように、第 3 の層間絶縁膜 4001 上に保護層 4006 を形成する。保護層 4006 は、後に剥離層 4000 をエッチングにより除去する際に、パッド 4002 ~ 4005 を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層 4006 を形成することができる（図 6（A））。

#### 【0119】

次に図 6（B）に示すように、剥離層 4000 を分離するための溝 4007 を形成する。溝 4007 は、剥離層 4000 が露出する程度であれば良い。溝 4007 の形成は、エッチング、ダイシング、スクライビングなどを用いることができる。

#### 【0120】

次に図 7（A）に示すように、剥離層 4000 をエッチングにより除去する。本実施例では、エッチングガスとしてハロゲン化フッ素を用い、該ガスを溝 4007 から導入する。本実施例では、例えば C 1 F 3（三フッ化塩素）を用い、温度 350℃、流量 300 s c c m、気圧 798 Pa、3 時間の条件で行う。また、C 1 F 3 ガスに窒素を混ぜたガスを用いても良い。C 1 F 3 等のハロゲン化フッ素を用いることで、剥離層 4000 が選択的にエッチングされ、絶縁基板 3000 を剥離することができる。なおハロゲン化フッ素は、気体であっても液体であってもどちらでも良い。

#### 【0121】

次に図 7（B）に示すように、剥離されたメモリ部および論理回路部を、接着剤 4008 を用いて支持体 4009 に貼り合わせる。接着剤 4008 は、支持体 4009 と下地膜 3001 とを貼り合わせる材料を用いる。接着剤 4008 は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

#### 【0122】

支持体 4009 として、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。または支持体 4009 として、フレキシブル無機材料を用いても良い。支持体 4009 は集積回路において発生した熱を拡散させるために、2 ~ 30 W/m K 程度の高い熱伝導率を有するのが望ましい。

#### 【0123】

なおメモリ部および論理回路部の集積回路を絶縁基板 3000 から剥離する方法は、本実施例で示したようにシリコン膜のエッチングを用いる方法に限定されず、他のさまざま



な方法を用いることができる。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離することができる。また、剥離層をレーザ光の照射により破壊し、集積回路を基板から剥離することもできる。さらに、集積回路が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで、集積回路を基板から剥離することもできる。

#### 【0124】

対象物の表面が曲面を有しており、それにより該曲面貼り合わされたIDチップの支持体が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線方向とTF Tのキャリアが移動する方向とを揃えておくことが望ましい。上記構成により、支持体が曲がっても、それによってTF Tの特性に影響が出るのを抑えることができる。島状の半導体膜が集積回路内において占める面積の割合を、1～30%とすることで、支持体が曲がっても、それによってTF Tの特性に影響が出るのをより抑えることができる。本実施例は、他の実施例と自由に組み合わせることができる。

#### 【実施例5】

##### 【0125】

本実施例は、メモリセルに用いる記憶素子の構造について、図8、図9を用いて説明する。上記の実施の形態では、記憶素子としてフローティングゲート型の記憶素子を用いる場合を説明したが、本発明は、記憶素子としてMNOS型記憶素子、MONOS型記憶素子、微結晶シリコン（以下微結晶Siと表記）を含む記憶素子を用いることができる。

##### 【0126】

MNOS型記憶素子800は、上からゲート電極801、窒化膜802、酸化膜803、基板804が積層する構造を含む（図8（A）参照。）。基板804はソース領域805及びド레인領域806に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。MONOS型記憶素子810は、上からゲート電極811、第1の酸化膜812、窒化膜813、第2の酸化膜814、基板815が積層する構造を含む（図8（B）参照。）。基板815はソース領域816及びド레인領域817に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。

##### 【0127】

電荷蓄積層として微結晶Siを含む記憶素子900は上からゲート電極901、微結晶Si層902、基板903が積層する構造を含む（図9参照。）。基板903はソース領域904及びド레인領域905に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。

##### 【0128】

MNOS型記憶素子、MONOS型記憶素子、微結晶Siを用いた記憶素子において、書き込み時と読み出し時の動作は、フローティングゲート型の記憶素子と同様に行うことが可能である。つまり、書き込み時の動作はホットエレクトロン注入方式を用い、読み出し時の動作は記憶素子の異なるしきい値電圧を利用すればよい。

##### 【0129】

MNOS型記憶素子800とMONOS型記憶素子810は、窒化シリコン膜中の電荷捕獲中心に電荷を蓄えるため、電荷蓄積の形態は導電性のフローティングゲートと異なり、ゲート絶縁膜の局所的な欠陥に対して強い。つまり、フローティングゲート型記憶素子では、ゲート絶縁膜が局所的に劣化しただけで、電荷がリークしてデータを消失してしまうが、MNOS型記憶素子800とMONOS型記憶素子810では、劣化した部分の電荷がリークするだけであり、データは保持される。同様に、微結晶Siを含む記憶素子900も離散的電荷捕獲中心として機能するため、ゲート絶縁膜の局所的な欠陥に対して強い。本実施例は、他の実施例と自由に組み合わせることができる。

#### 【実施例6】

##### 【0130】

本実施例では盗難防止又は偽造防止などのセキュリティ確保を目的として、多様な物品へ本発明を用いたOTP不揮発性メモリを有し可撓性を有する基板に形成したIDチップ

(以下、「IDFチップ」という。)を実装する場合を図10、図11、図19を用いて説明する。

#### 【0131】

盗難防止の例として、バッグにIDFチップを実装する場合を説明する。図10(A)に示すように、バッグ1002にIDFチップ1001を実装する。例えば、バッグ1002の底又は側面の一部等にIDFチップ1001を実装することができる。IDFチップ1001は非常に薄型で小さいため、バッグ1002のデザイン性を低下させずに実装することができる。加えてIDFチップ1001は透光性を有し、盗難者はIDFチップ1001が実装されているかを判断しにくい。そのため、盗難者によってIDFチップ1001が取り外される恐れがない。

#### 【0132】

このようなIDFチップ実装バッグが盗難された場合、例えばGPS(Global Positioning System)を用いてバッグの現在位置に関する情報を得ることができる。なおGPSとは、GPS用の衛星から送られる信号をとらえてその時間差を求め、これをもとに測位するシステムである。

#### 【0133】

また盗難された物品以外にも忘れ物や落とし物を、GPSを用いて現在位置に関する情報を得ることができる。

#### 【0134】

またバッグ以外にも、自動車、自転車等の移動体や、時計やアクセサリーにIDFチップを実装することができる。

#### 【0135】

次に偽造防止の例として、パスポートや免許証等にIDFチップを実装する場合を図10(B)を用いて説明する。

#### 【0136】

図10(B)に、IDFチップ1003を実装したパスポート1004を示す。図10(B)ではIDFチップがパスポートの表紙に実装されているが、その他のページに実装してもよく、IDFチップは透光性を有するため表面に実装してもよい。またIDFチップを表紙等の材料で挟み込むようにし、表紙の内部に実装することも可能である。

#### 【0137】

図10(C)には、IDFチップ1005を実装した免許証1006を示す。図10(C)では、IDFチップ1005が免許証1006の内部に実装されている。またIDFチップは1005透光性を有するため、免許証1006の印刷面上に設けても構わない。例えば、IDFチップ1005は免許証1006の印字面上に実装し、ラミネートで覆うことができる。またIDFチップ1005を免許証1006の材料で挟み込むようにし、内部に実装することも可能である。

#### 【0138】

以上のような物品にIDFチップを実装することにより、偽造を防止することができる。また上述したバッグにIDFチップを実装し、偽造を防止することもできる。加えて非常に薄型で小さいIDFチップを用いるため、パスポートや免許証等のデザイン性を損ねることがない。さらにIDFチップは透光性を有するため、表面に実装しても構わない。

#### 【0139】

またIDFチップにより、パスポートや免許証等の管理を簡便に行うことができる。さらにパスポートや免許証等に直接情報を記入することなく、IDFチップに保存することができるため、プライバシーを守ることができる。

#### 【0140】

また、IDFチップは、非常に薄型で小さく、さらに可撓性を備えることができるため、シート状の物品へ実装することができる。例えば、シート状物品として紙幣へIDFチップを実装する場合を図11を用いて説明する。

#### 【0141】

図11(A)に示すように、紙幣1102にIDFチップ1101を実装する。図11(A)では、IDFチップ1101は紙幣1102の内部に実装する形態を示すが、表面に露出してもよい。

【0142】

またIDFチップ1101を含有するインクを用いて紙幣1102を印刷してもよい。さらに、紙幣1102の材料と薬品とを混ぜ合わせるときに、IDFチップ1101をばらまいて、複数のIDFチップ1101を実装した紙幣としてもよい。IDFチップは低コストで生産することができるため、複数のIDFチップを実装しても紙幣コストに影響を及ぼすことが少なくすむ。

【0143】

また紙幣以外の有価証券、例えば株券や小切手、又は硬貨にIDFチップを実装してもよい。

【0144】

このようなシート状物品は、曲げる機会が多いため、IDFチップへかかる曲げ応力を考慮する。

【0145】

例えば、図11(B)には、IDFチップ実装の紙幣が矢印方向に曲がった状態を示す。一般的に、シート状物品は、長軸方向に曲がりやすい、又は曲げやすいため、長軸方向に曲げる場合を説明する。

【0146】

このときのIDFチップの状態を図11(C)に示す。IDFチップ1101は、複数の薄膜トランジスタ1103を有し、当該薄膜トランジスタ1103はソース領域1104、チャンネル形成領域1105、ドレイン領域1106を有する。このようなIDFチップは、矢印方向(曲げる方向)と、キャリアの移動方向とが垂直になるように配置すると好ましい。すなわち薄膜トランジスタのソース領域1104、チャンネル形成領域1105、ドレイン領域1106を、曲げる方向と垂直になるように配置する。その結果、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0147】

また薄膜トランジスタ1103に、レーザ照射を用いた結晶性半導体膜を用いる場合、レーザ走査方向も曲げる方向と垂直となるように設定する。例えば、レーザ走査方向の長軸と、曲げる方向と垂直な方向とすると好ましい。

【0148】

このような方向にIDFチップを曲げることにより、IDFチップ、特に薄膜トランジスタを破壊することがなく、さらにキャリアの移動方向に存在する結晶粒界を極力低減することができる。その結果、薄膜トランジスタの電気特性、特に移動度を向上させることができる。

【0149】

加えて、パターンニングされた半導体膜がIDFチップにおいて占める面積の割合を、1~30%とすることで、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0150】

安全管理を行うため、食料品等の商品へIDFチップを実装する場合を図19を用いて説明する。

【0151】

図19(A)に、IDFチップ1901を実装したラベル1902と、当該ラベルが貼られた肉のパック1903を示す。IDFチップ1901はラベル1902の表面に実装していてもよいし、ラベル1902内部に実装してもよい。また野菜等の生鮮食品の場合、生鮮食品を覆うラップにIDFチップ1901を実装してもよい。

【0152】

IDFチップ1901には、例えば商品の生産地、生産者、加工年月日、賞味期限等の



商品に関する事項を記録することができる。このように、書き換える必要がない情報を記録するためには本発明を用いたOTPタイプの不揮発性メモリを用いることは非常に好ましい。

**【0153】**

また食料品の安全管理を行うためには、加工前の動植物の状態を知り得ることが重要である。そのため、動植物内にIDFチップを埋め込み、リーダ装置によって動植物に関する情報を取得するとよい。動植物に関する情報とは、飼育地、飼料、飼育者、伝染病の感染の有無等である。

**【0154】**

またIDFチップに、商品の値段が記録されていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算を行うことが可能となる。すなわち、IDFチップが実装された複数の商品を一挙に精算することができる。但し、このように複数のIDFチップを読み取る場合、アンチコリジョン機能をリーダ装置に搭載する必要がある。

**【0155】**

さらにIDFチップの通信距離によっては、レジスターと商品との距離が遠くても、商品の精算を可能とすることができる。またIDFチップは万引き防止にも役立つ。

**【0156】**

さらにIDFチップは、バーコード、磁気テープ等のその他の情報媒体と併用することもできる。例えば、IDFチップには書き換え不要な基本事項を記録し、バーコードには更新すべき情報、例えば値引き価格や特価情報を記録するとよい。バーコードはIDFチップと異なり、情報の修正を簡便に行うことができるからである。

**【0157】**

このようにIDFチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

**【0158】**

図19(B)を用いて、物流管理を行うため、ビール瓶等の商品へIDFチップを実装する場合を説明する。図19(B)に示すように、瓶1905にIDFチップ1904を実装する。例えば、ラベル1906を用いてIDFチップ1904を実装することができる。

**【0159】**

IDFチップ1904には、例えば製造日、製造場所、使用材料等の事項を記録することができる。このように、書き換える必要がない情報を記録するためには本発明を用いたOTPタイプの不揮発性メモリを用いることは非常に好ましい。

**【0160】**

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、IDFチップ1904へ記録するようなシステムを構築するとよい。

**【0161】**

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎にIDFチップを実装し、個別事項を記録することもできる。

**【0162】**

このような複数の配達先が記録されうる飲料品は、IDFチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、IDFチップを実装したことにより、ミスの少ない、低コストな物流管理を行うことができる。

**【0163】**

このようにIDFチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。



## 【0164】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。本実施例は、他の実施例と自由に組み合わせることができる。

## 【実施例 7】

## 【0165】

製造管理を行うため、本発明のOTP不揮発性メモリを有するIDFチップを実装した製造品と、当該IDFチップの情報に基づき制御される製造装置（製造ロボット）について説明する。

## 【0166】

現在、オリジナル商品を生産する場面が多くみられ、このような場合、生産ラインでは当該商品のオリジナル情報に基づくように生産する。例えば、ドアの塗装色を自由に選択することができる自動車の生産ラインにおいては、自動車の一部にIDFチップを実装し、当該IDFチップからの情報に基づき、塗装装置を制御する。そしてオリジナルな自動車を生産することができる。

## 【0167】

IDFチップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数それに合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装されたIDFチップの情報に基づき、個別に動作することができる。

## 【0168】

このようにIDFチップはさまざまな場所で使用することができる。そしてIDFチップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

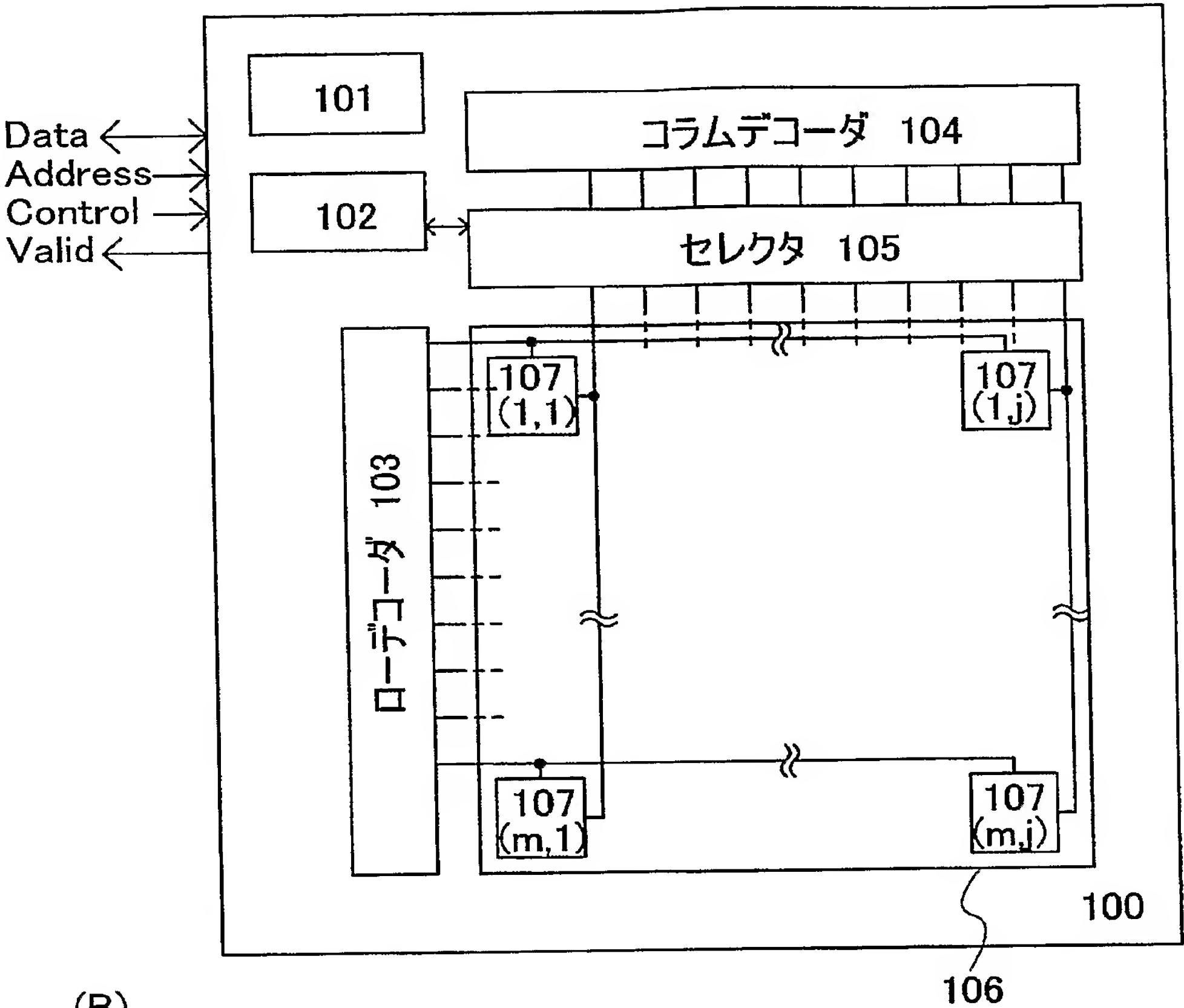
## 【図面の簡単な説明】

## 【0169】

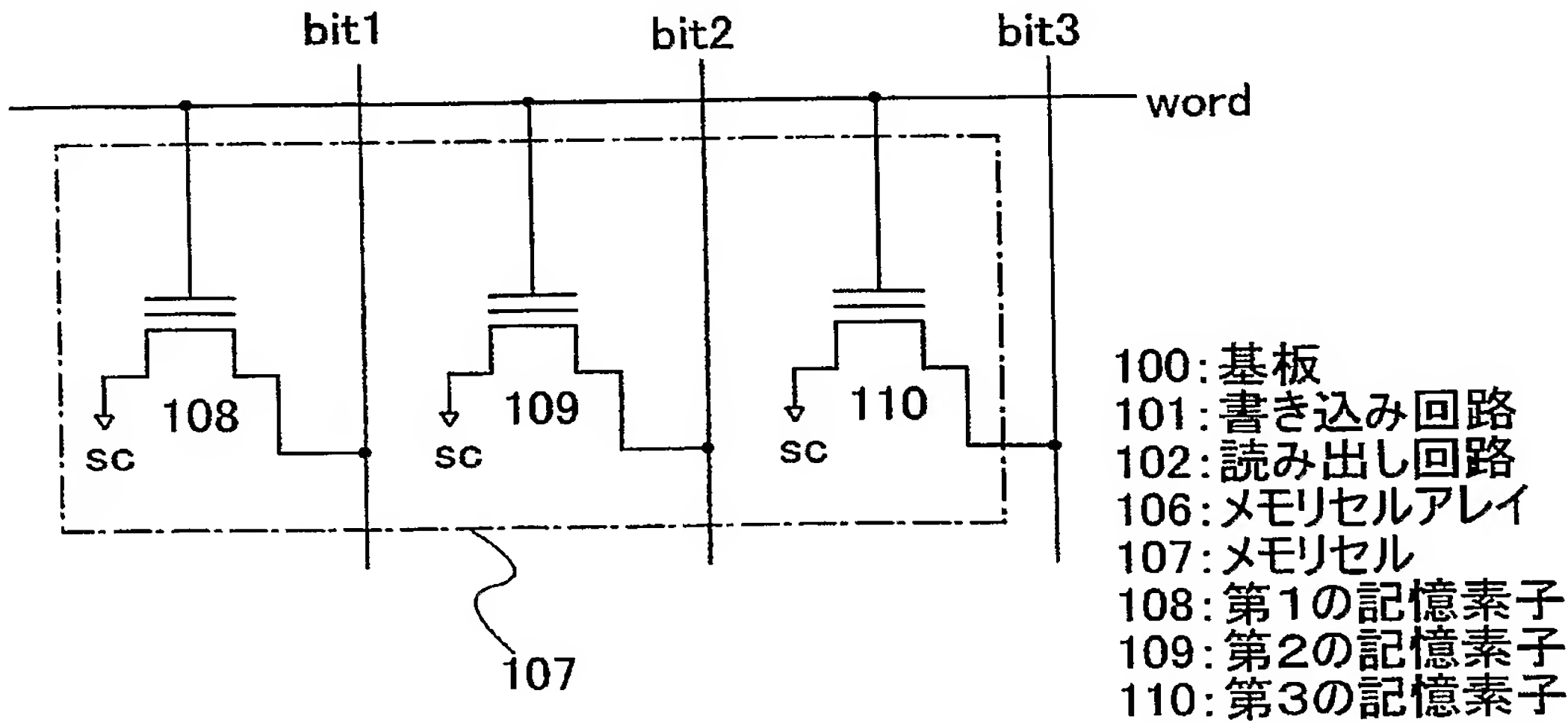
- 【図1】 本発明の不揮発性メモリのブロック構成を示す図。
- 【図2】 本発明の不揮発性メモリの読み出し回路を示す図。
- 【図3】 本発明における絶縁基板上のTF T作製プロセスを示す図。
- 【図4】 本発明の不揮発性メモリの書き込み回路の一部分を示す図。
- 【図5】 本発明の不揮発性メモリの読み出し回路の一部分を示す図。
- 【図6】 本発明におけるフレキシブル基板のTF T転写工程を示す図。
- 【図7】 本発明におけるフレキシブル基板のTF T転写工程を示す図。
- 【図8】 MNOS/MONOS型記憶素子の断面構造を示す図。
- 【図9】 微結晶Siを用いた記憶素子の断面構造を示す図。
- 【図10】 本発明の不揮発性メモリの応用例を示す図。
- 【図11】 本発明の不揮発性メモリの応用例を示す図。
- 【図12】 本発明の不揮発性メモリの応用例を示す図。
- 【図13】 本発明の不揮発性メモリの書き込み回路を示す図。
- 【図14】 本発明におけるメモリセルの状態遷移を示す図。
- 【図15】 本発明の不揮発性メモリのブロック構成を示す図。
- 【図16】 本発明の不揮発性メモリの読み出し回路を示す図。
- 【図17】 本発明の不揮発性メモリの書き込み回路を示す図。
- 【図18】 本発明の不揮発性メモリの応用例を示す図。
- 【図19】 本発明の不揮発性メモリの応用例を示す図。
- 【図20】 本発明における絶縁基板上のTF T作製プロセス示す図。

【書類名】 図面  
【図 1】

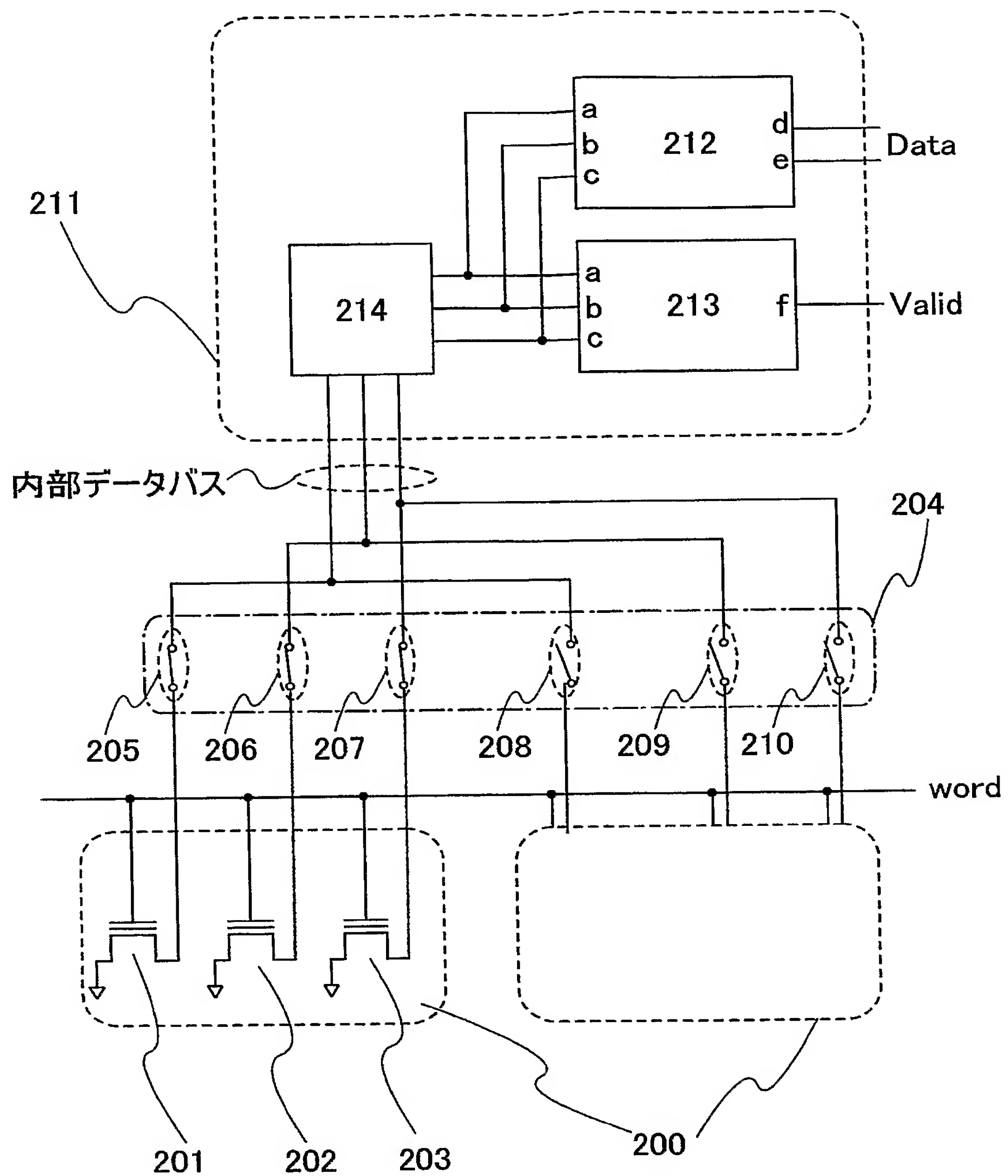
(A)



(B)



【図 2】

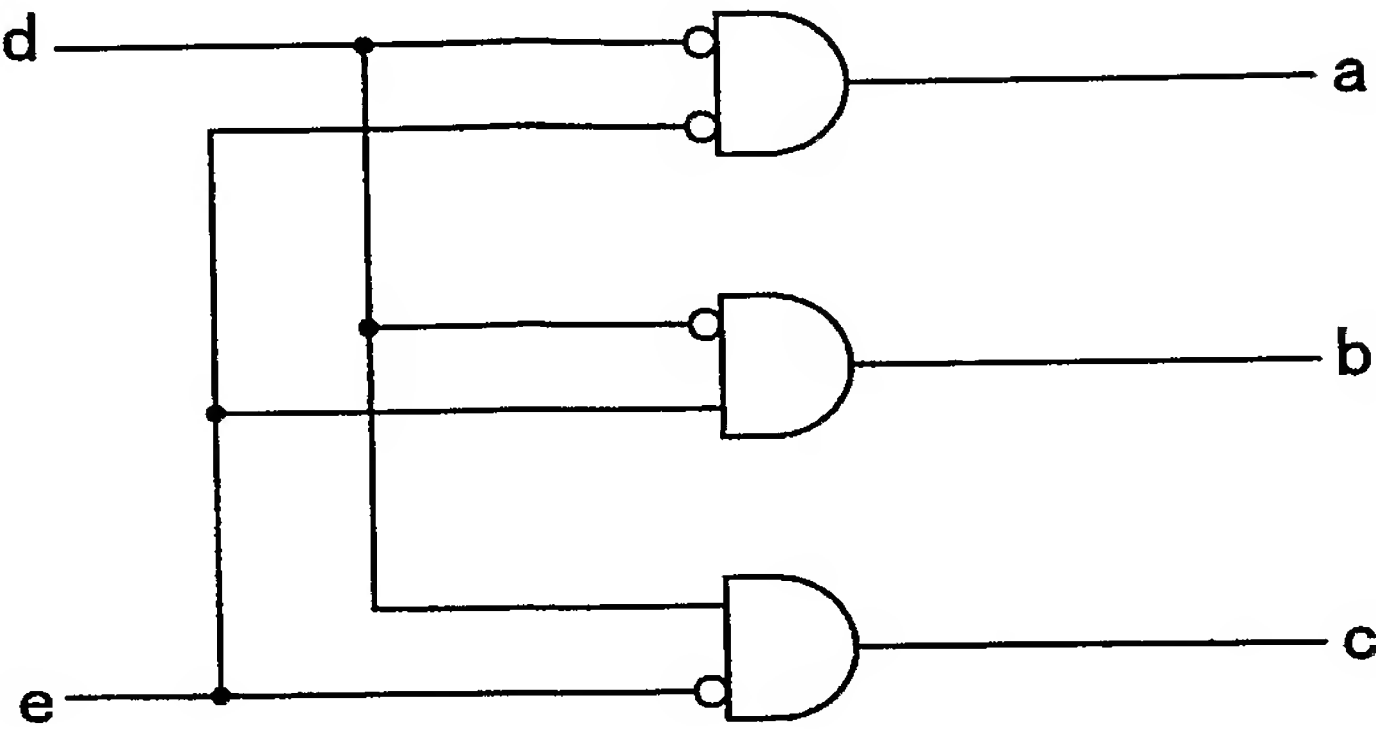


- 200: メモリセル
- 201: 第1の記憶素子
- 202: 第2の記憶素子
- 203: 第3の記憶素子
- 204: セレクタ
- 205~210: スイッチ
- 211: 読み出し回路
- 212: 変換回路
- 213: 判定回路
- 214: 内部データ読み出し回路

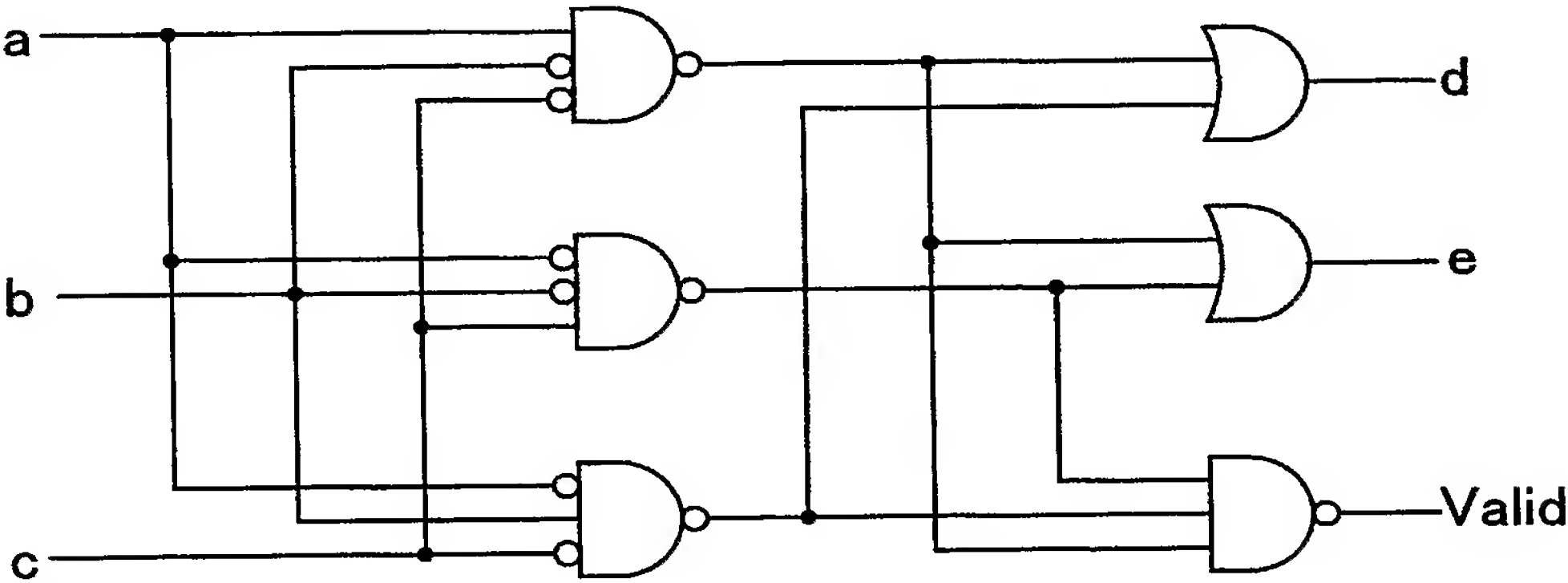




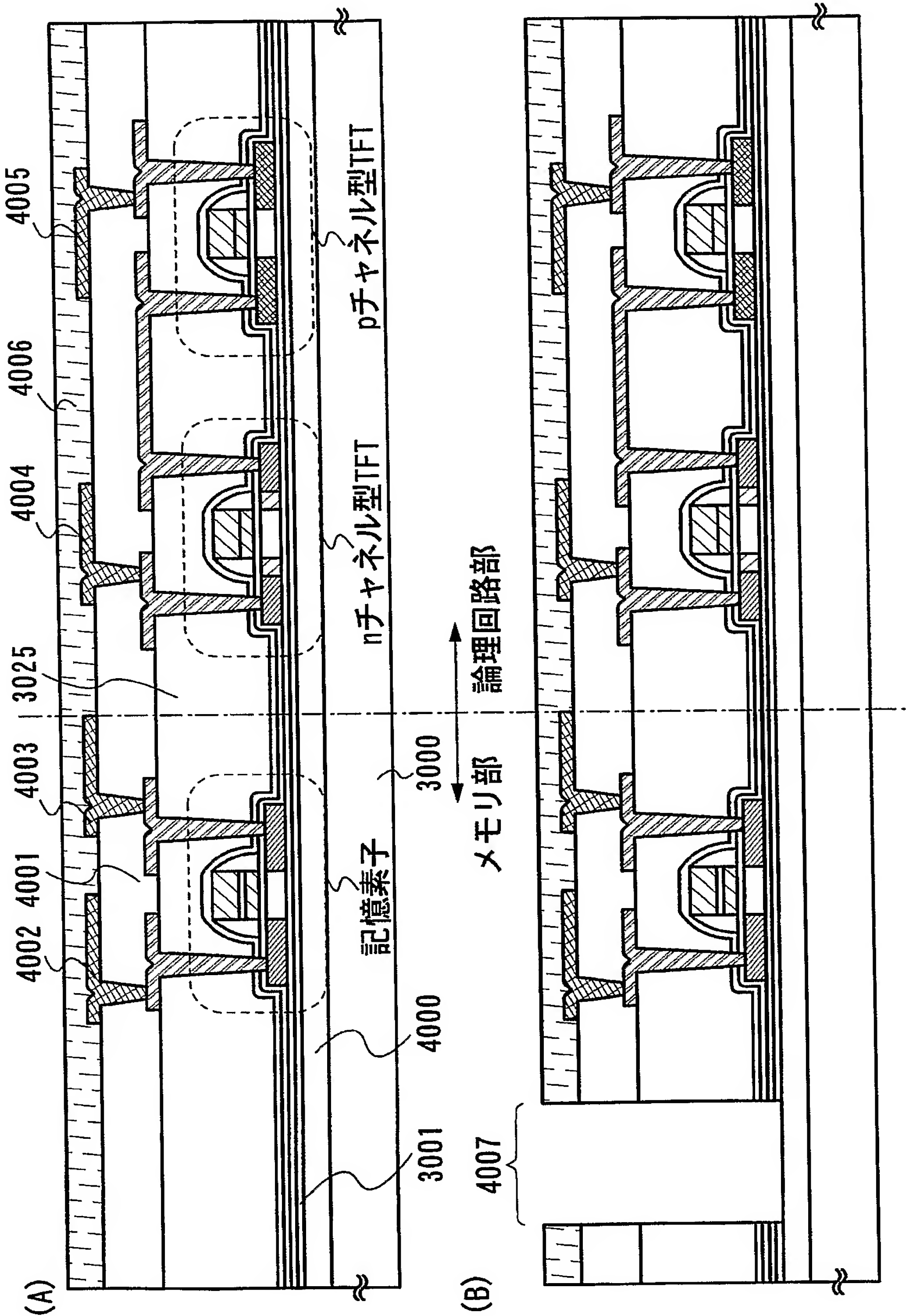
【図 4】



【図 5】

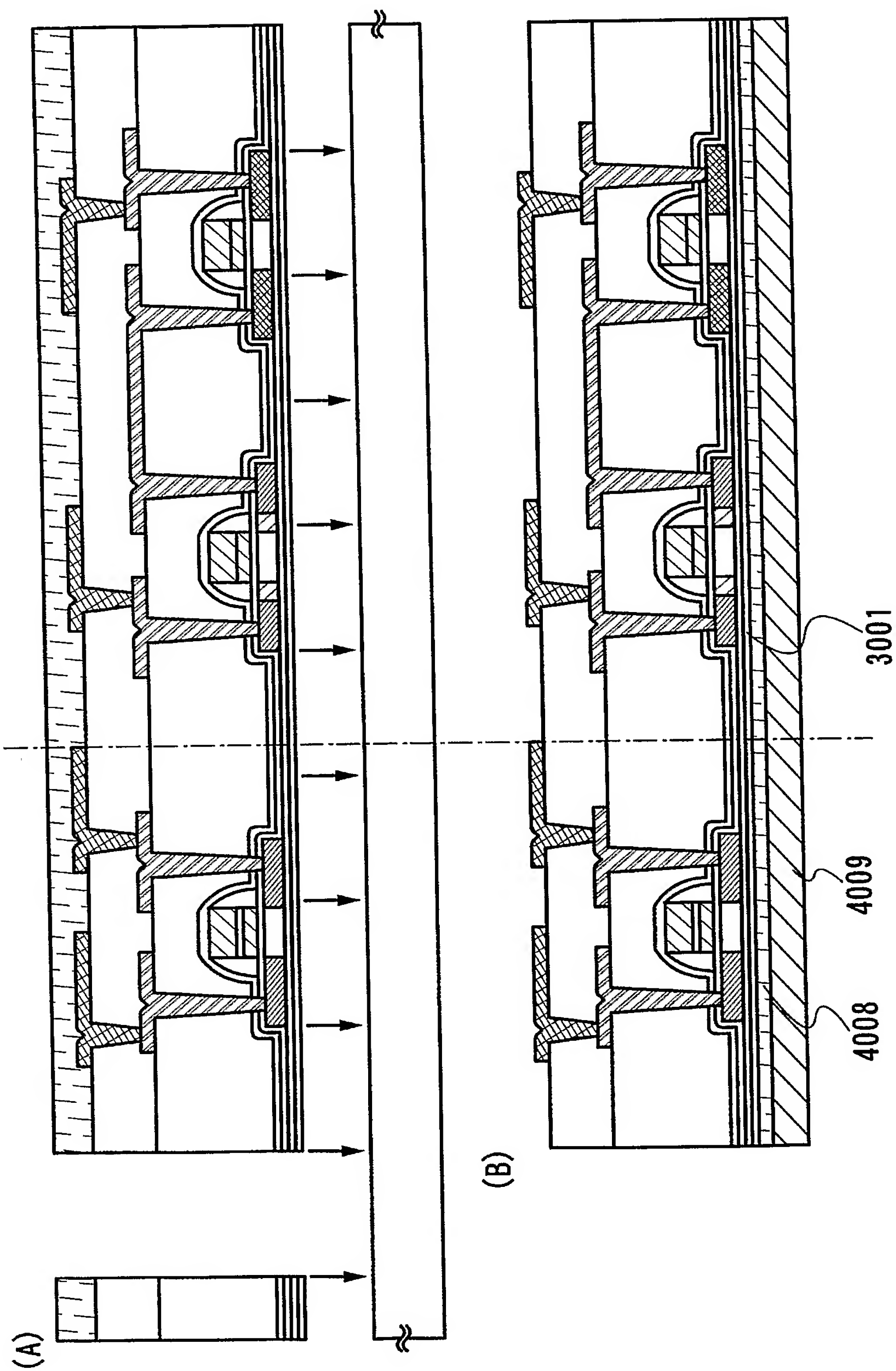


【図 6】



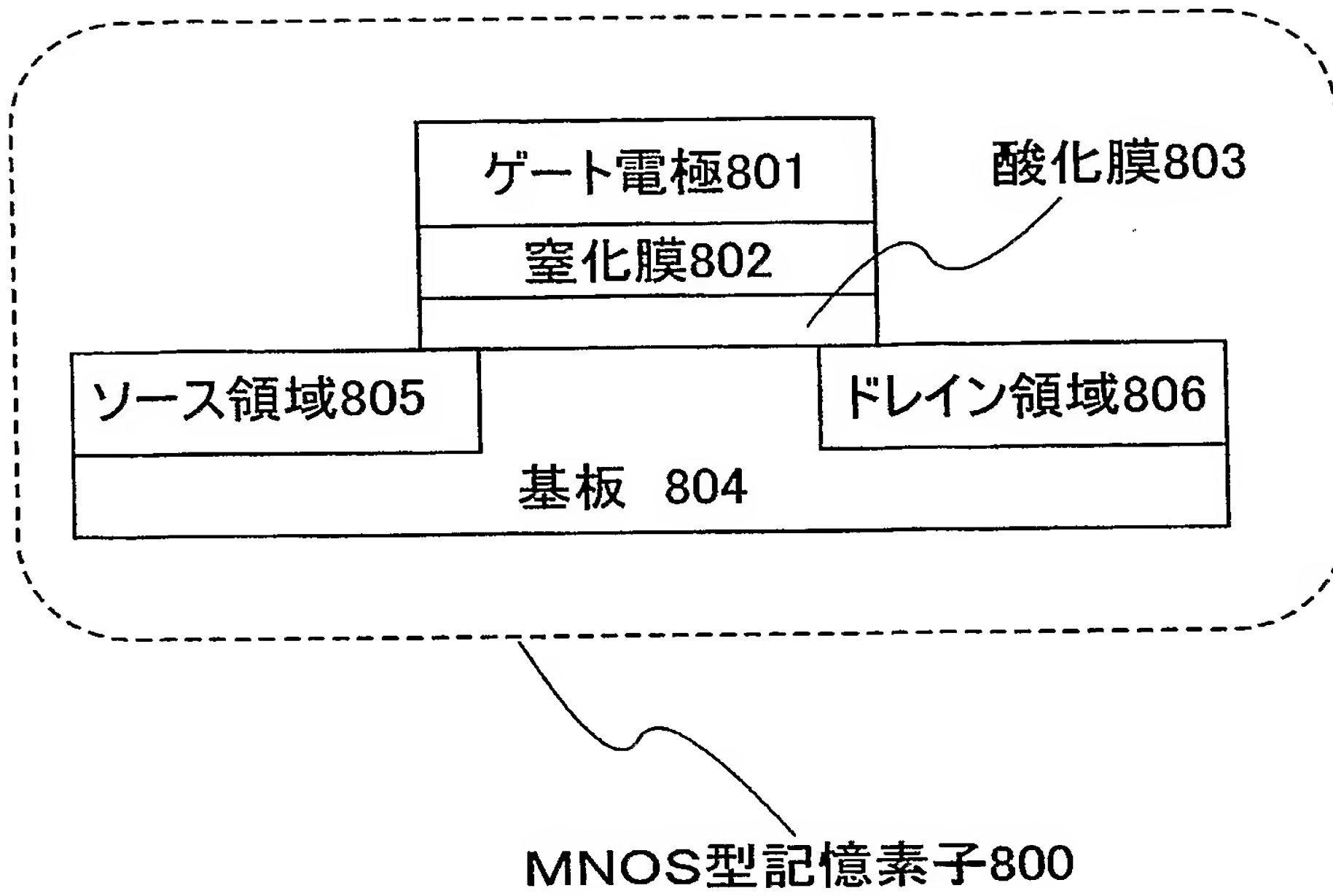


【図 7】

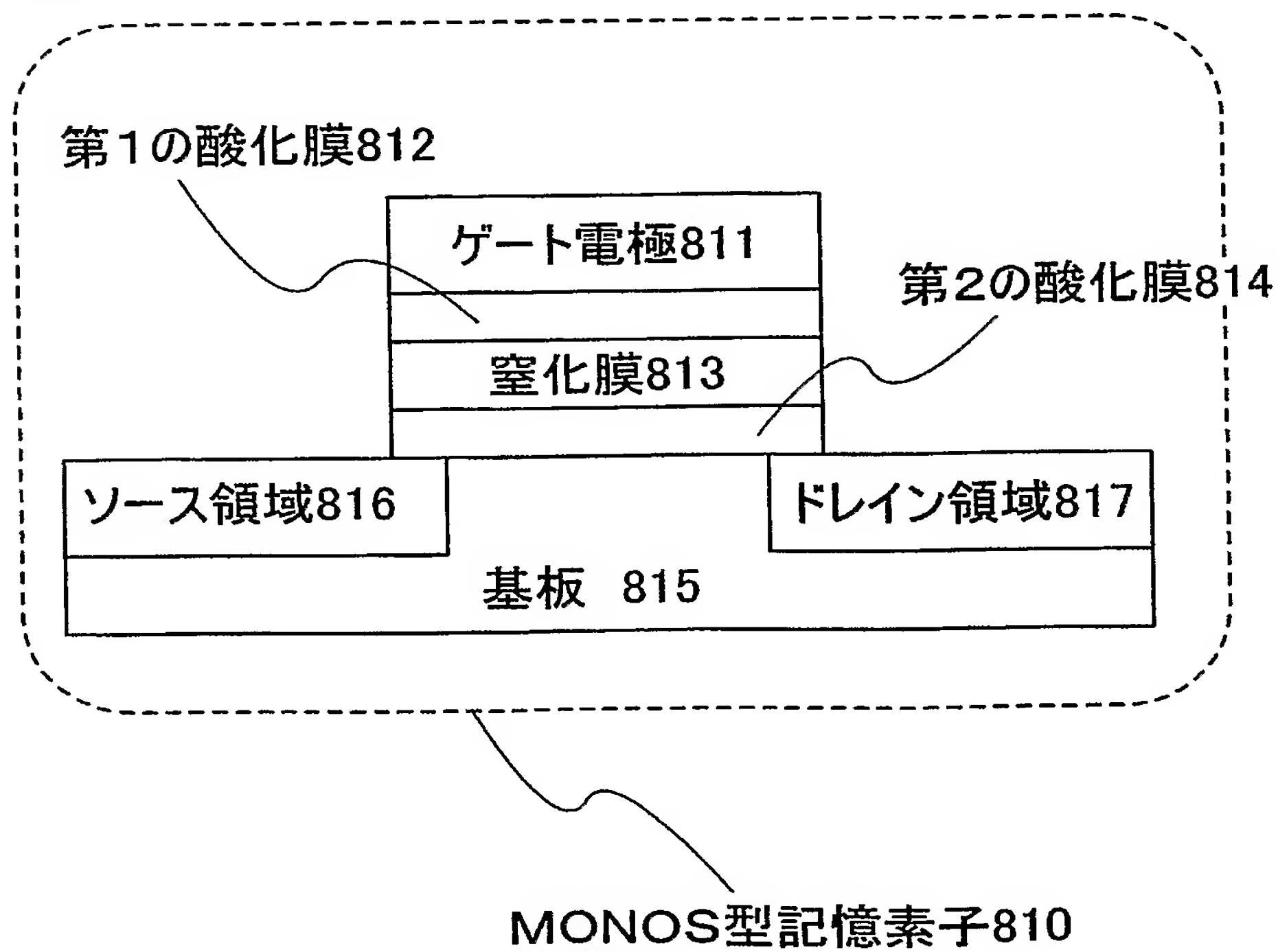


【図 8】

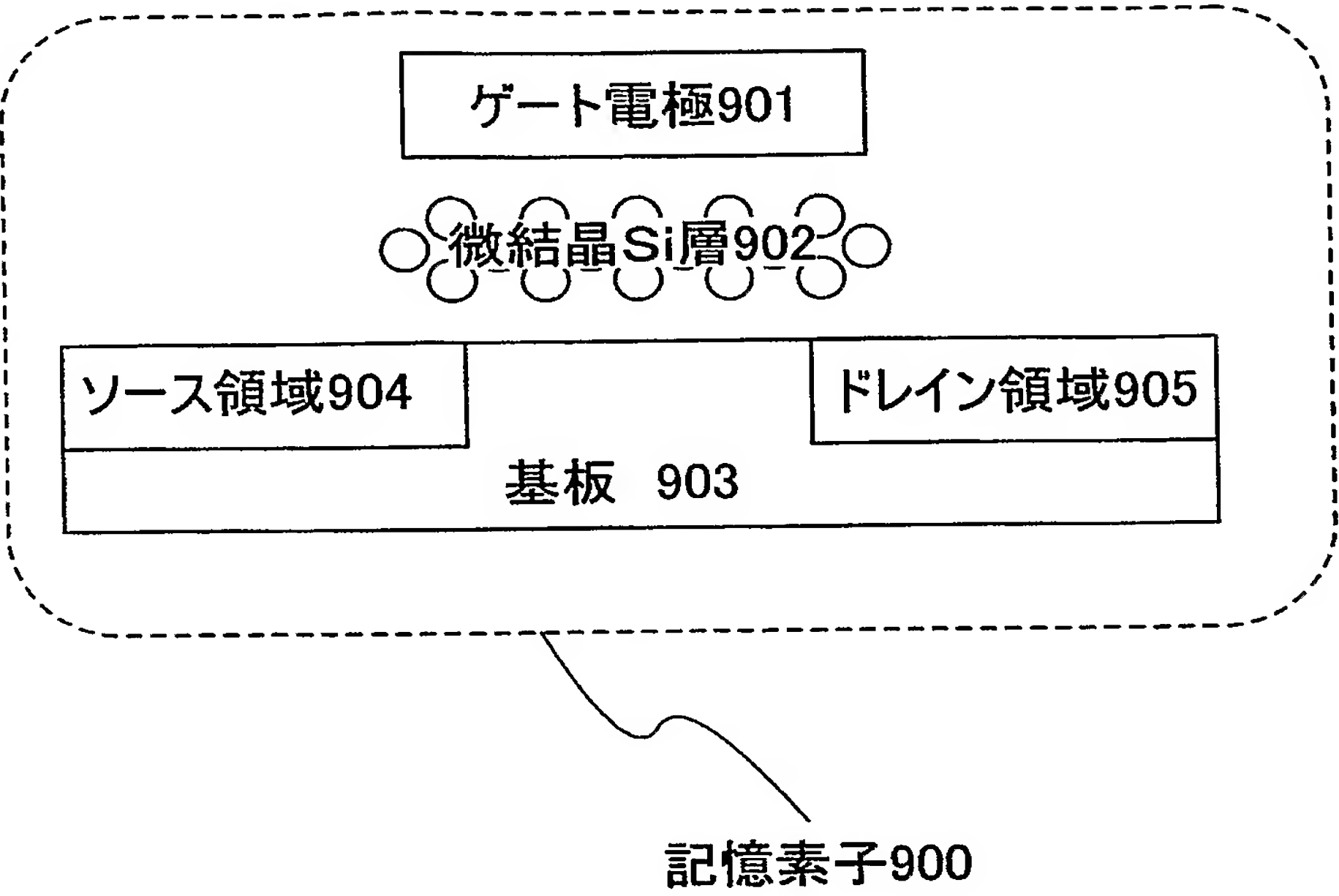
(A)



(B)



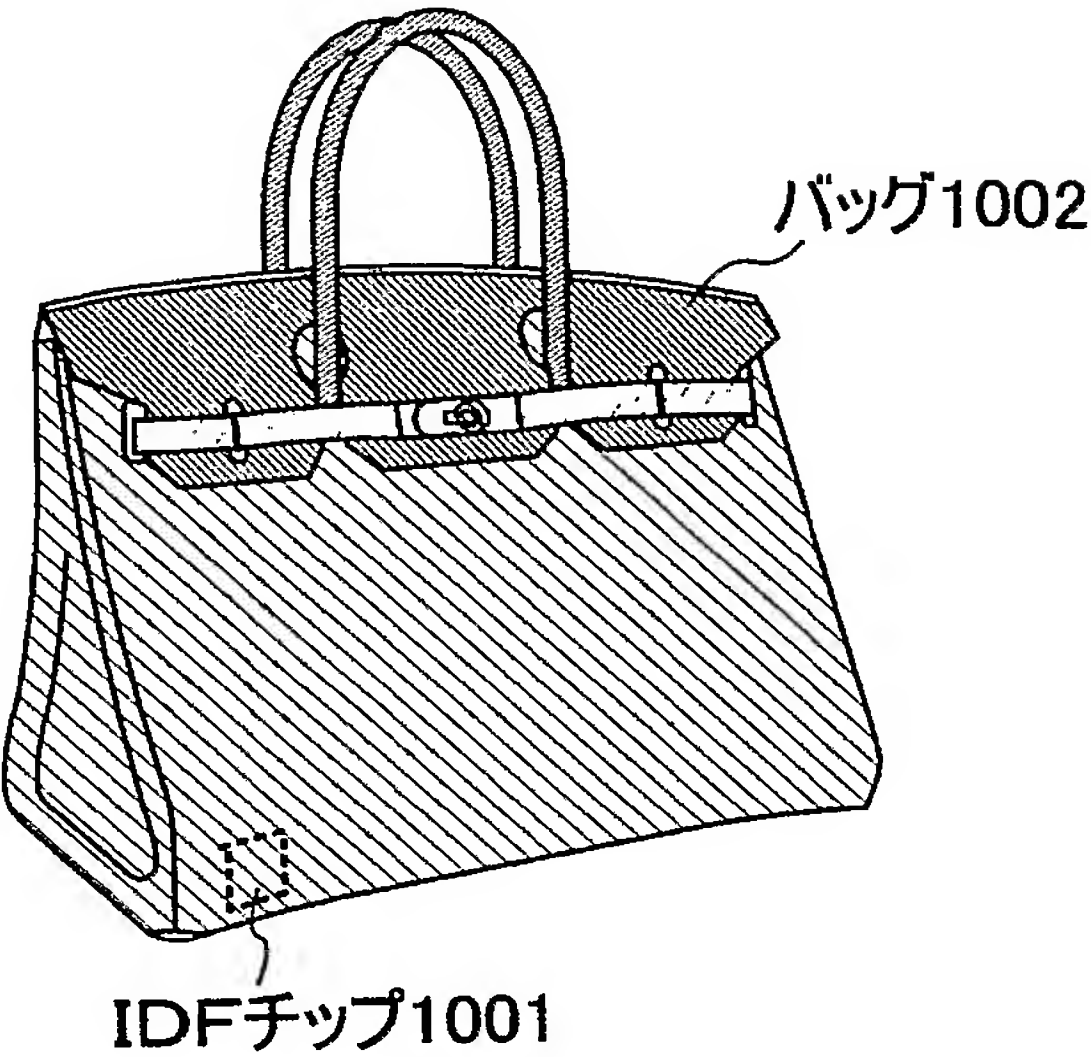
【図 9】



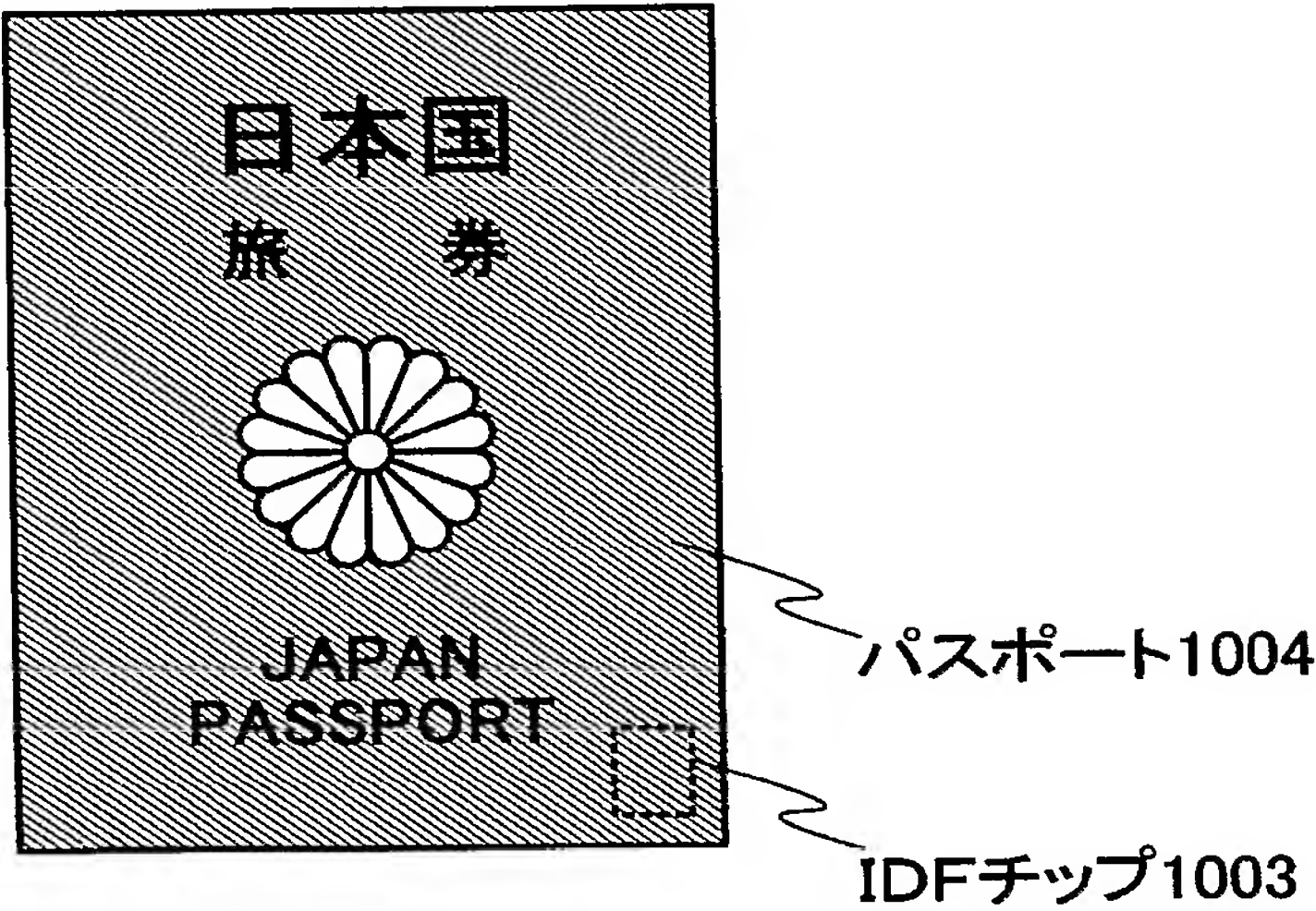


【図 1 0】

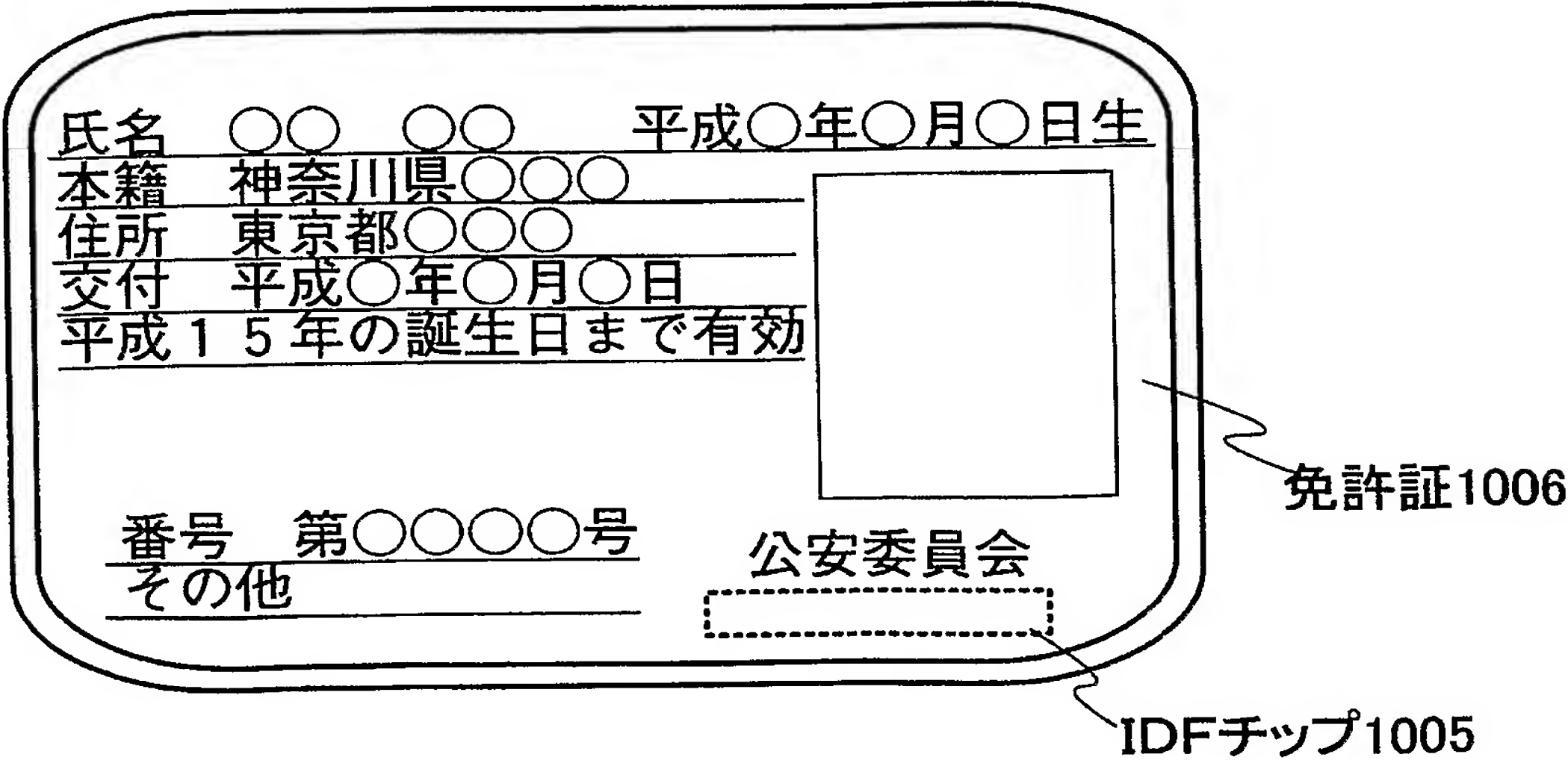
(A)



(B)

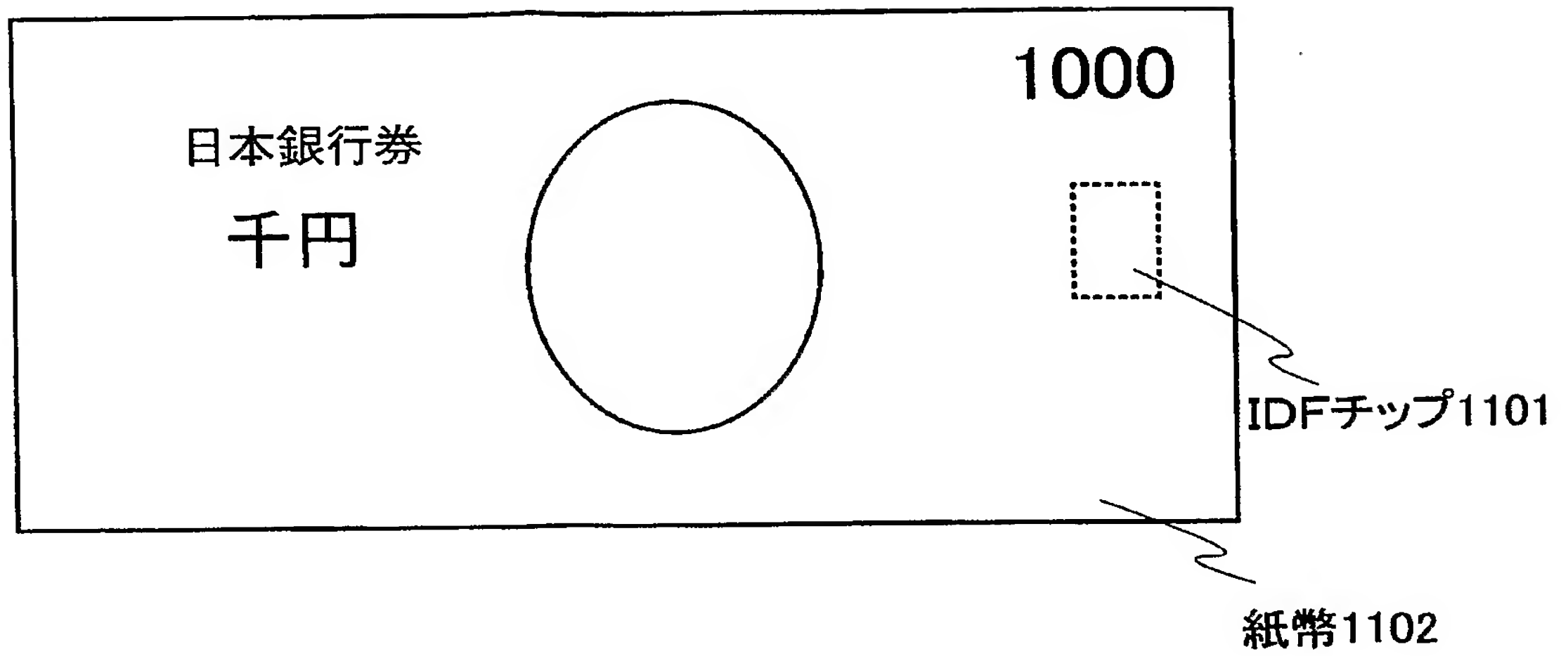


(C)

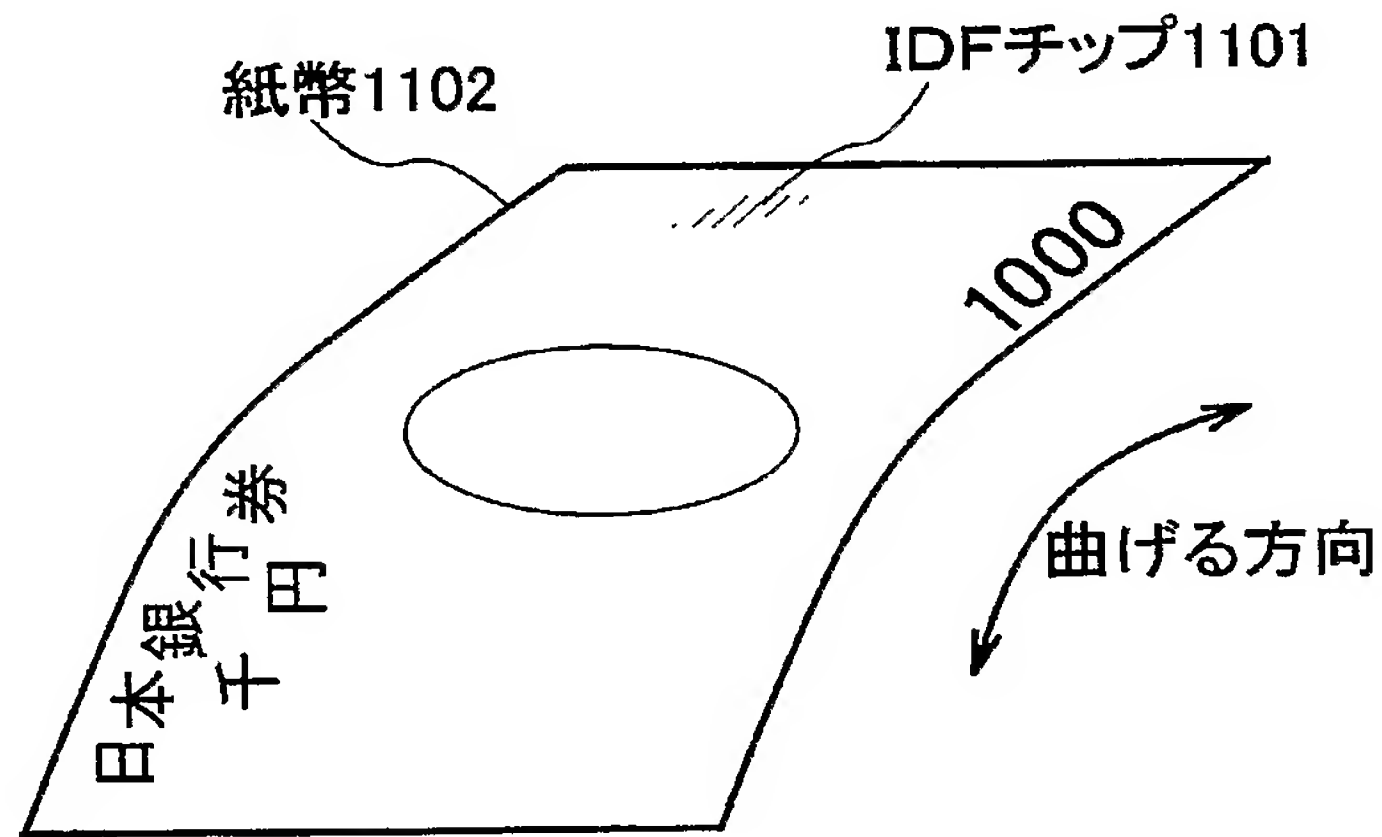


【図 11】

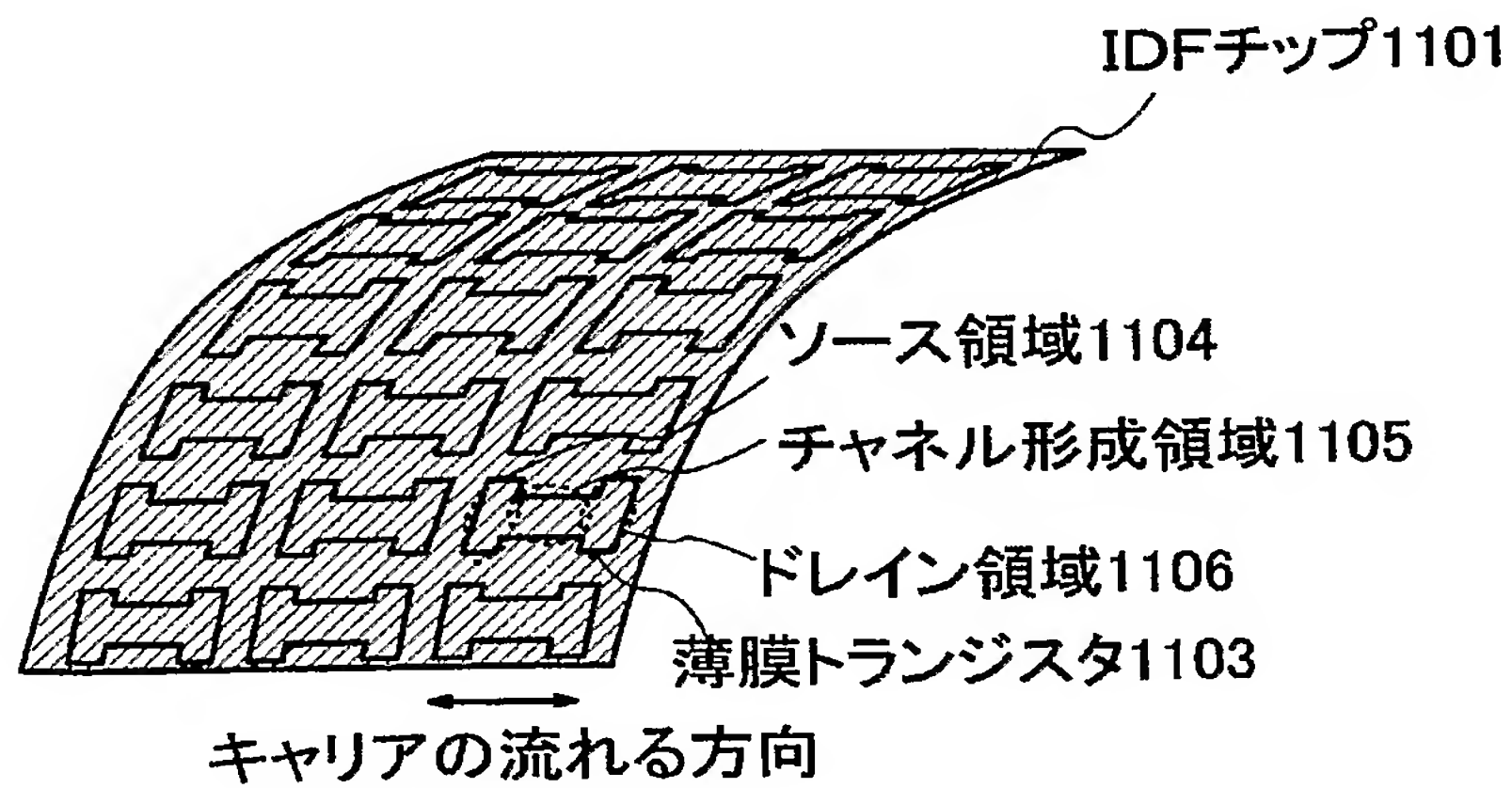
(A)



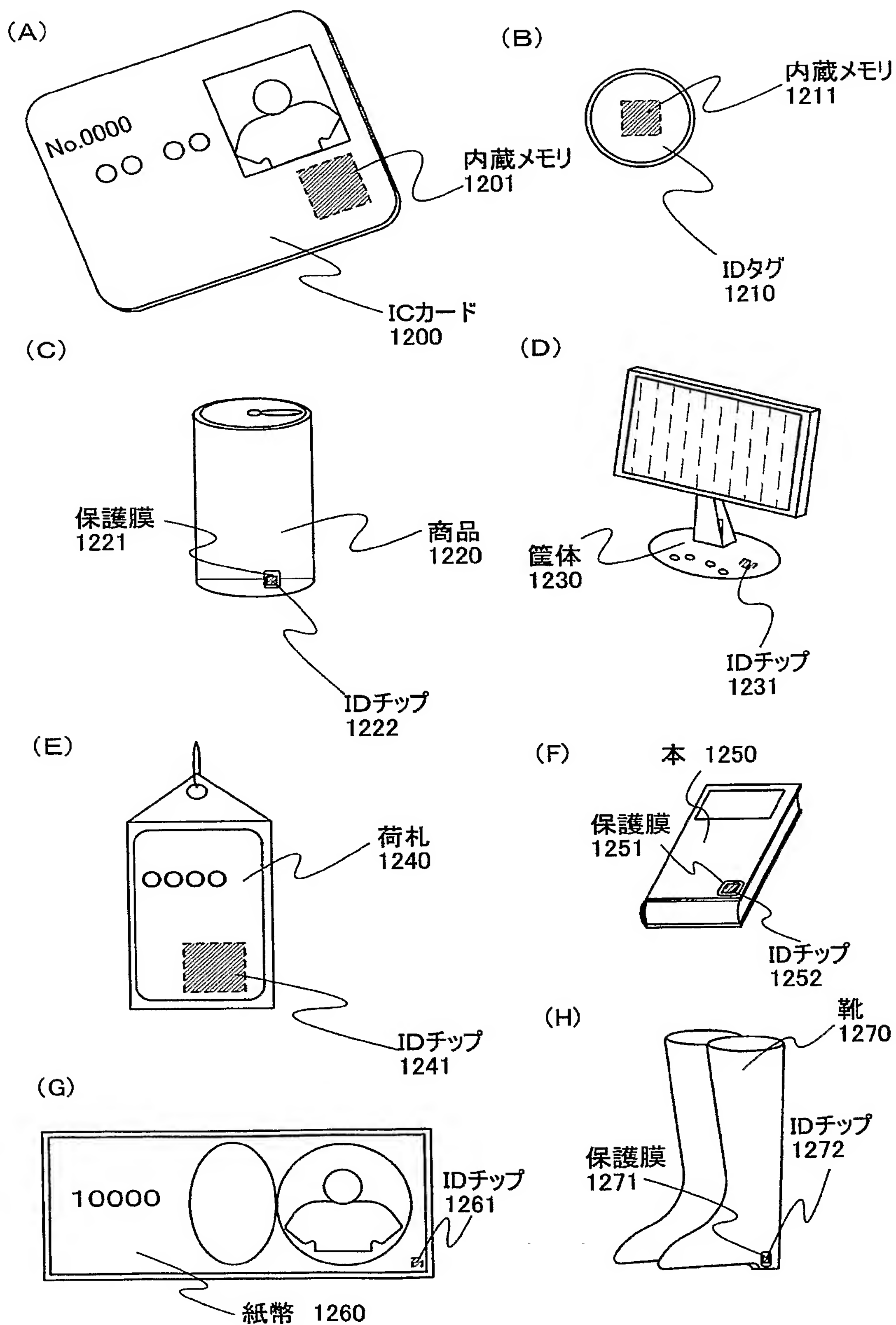
(B)



(C)



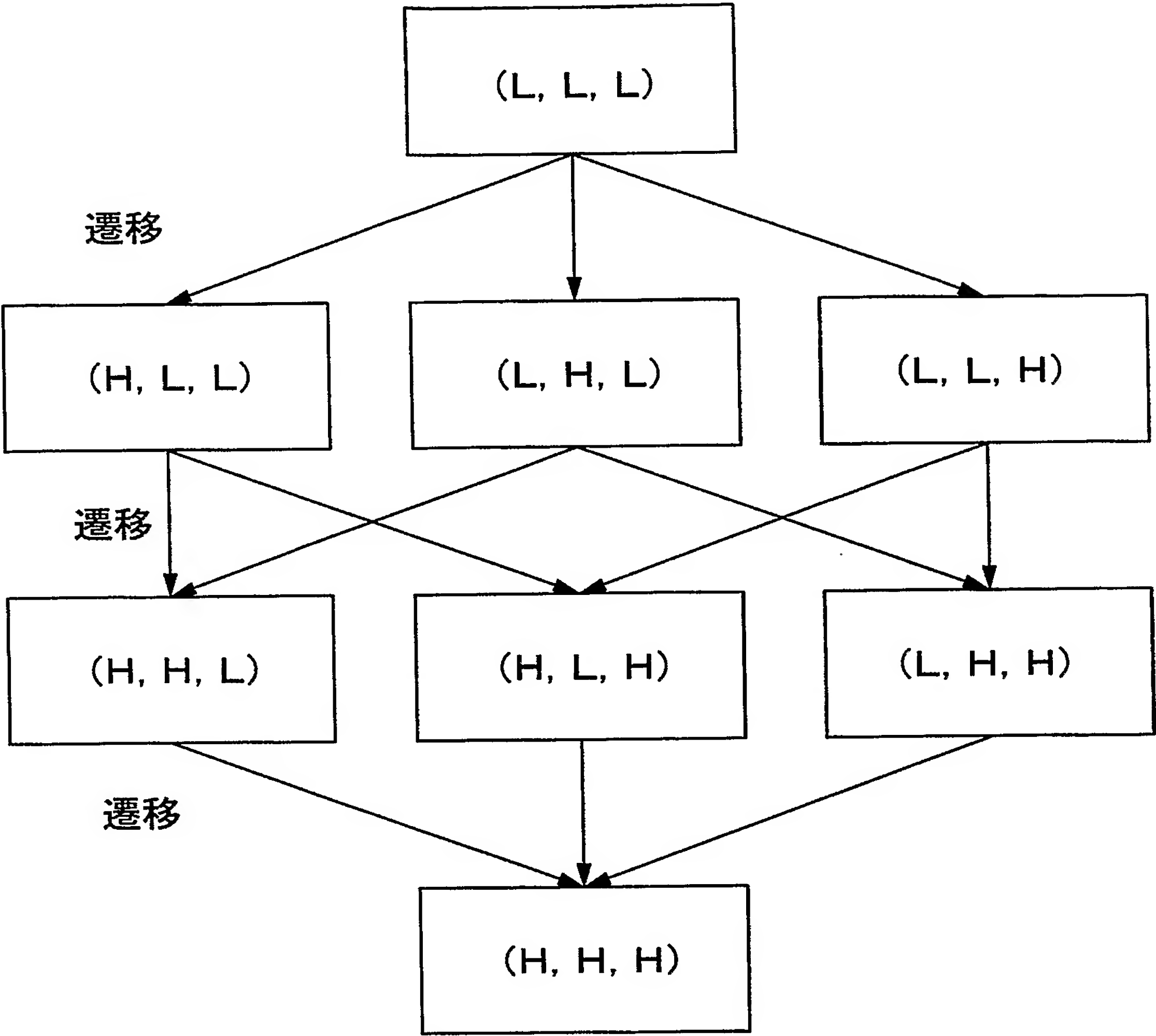
【図 12】



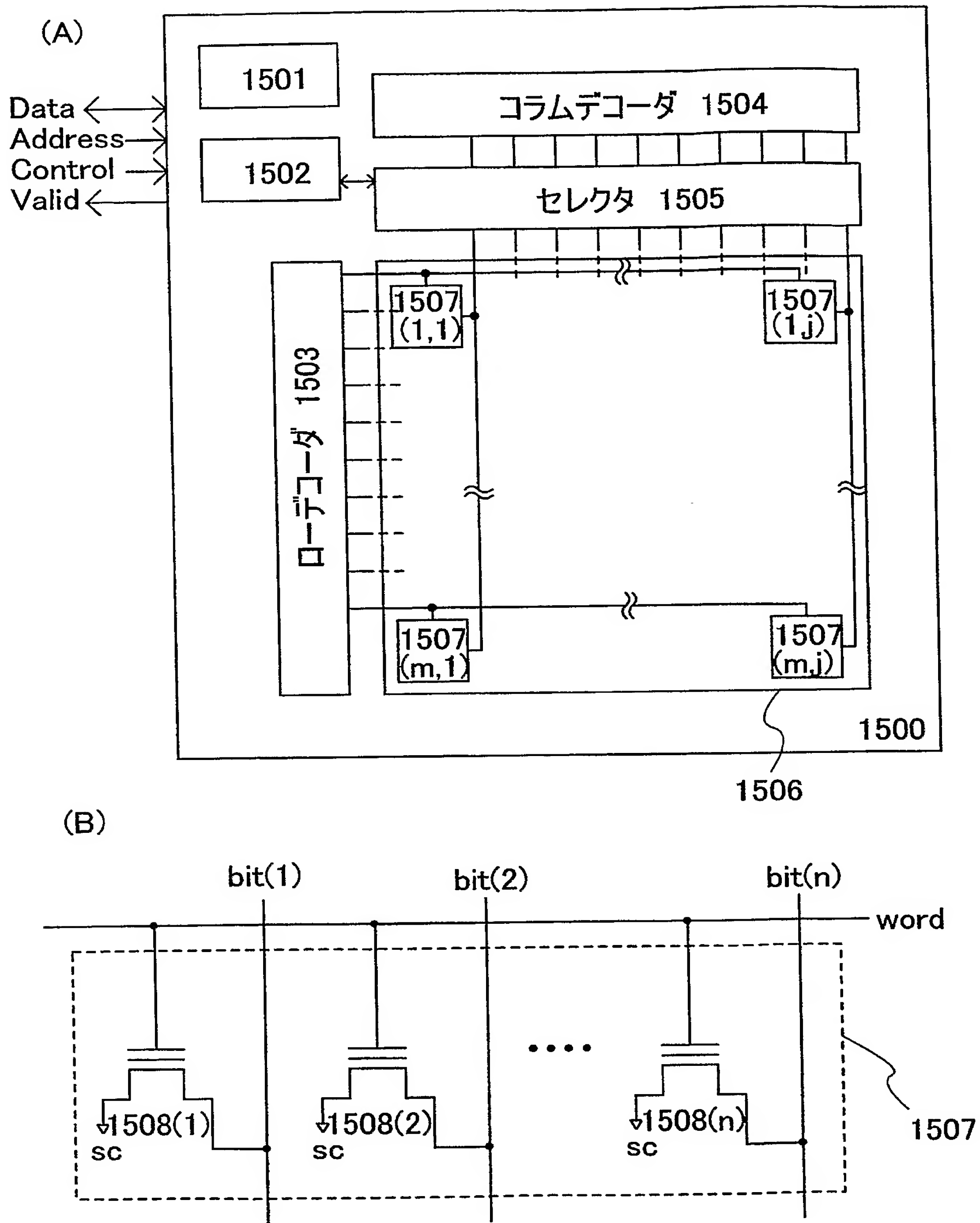




【図 1 4】



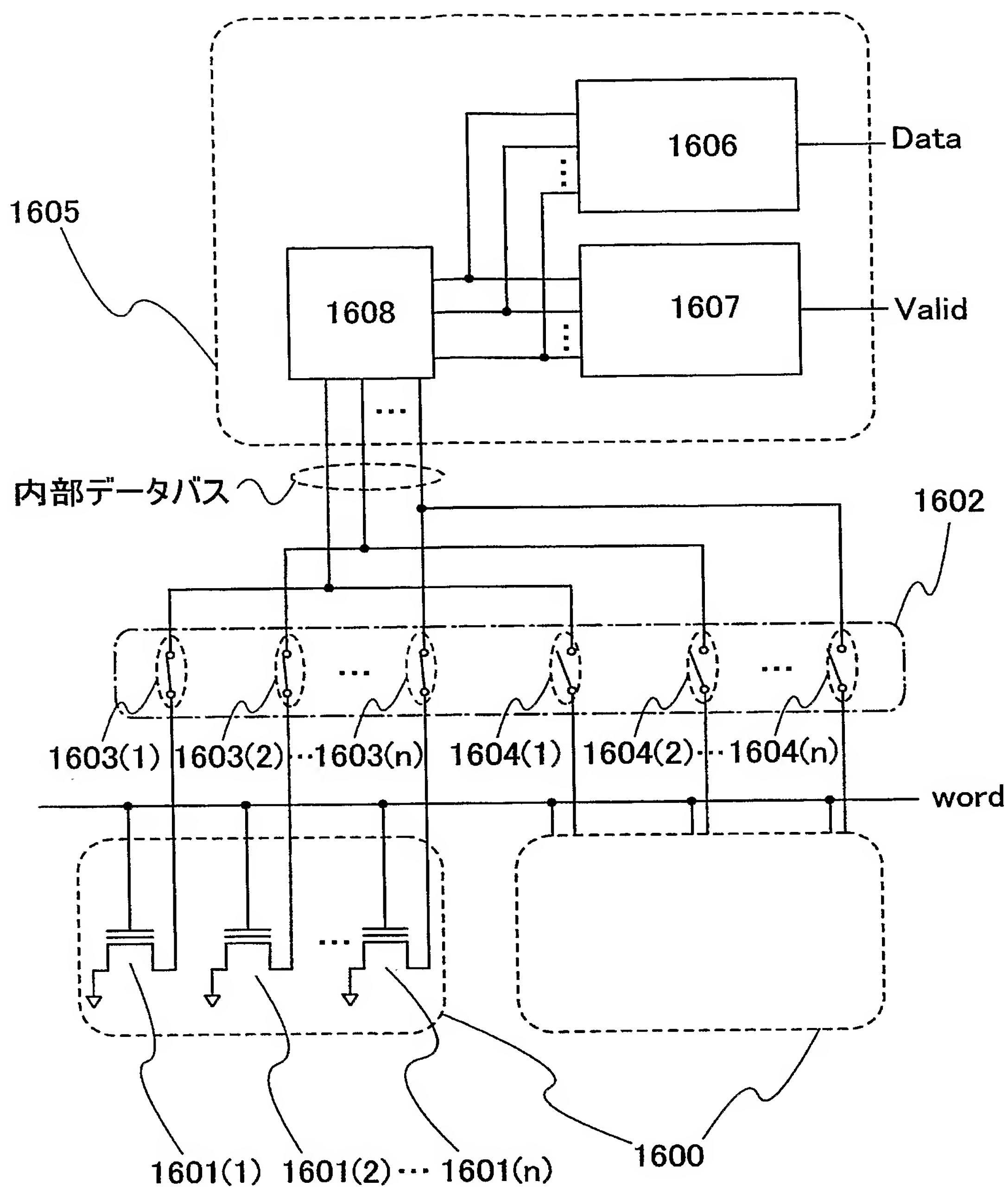
【図 15】



1500: 基板  
 1501: 書き込み回路  
 1502: 読み出し回路  
 1506: メモリセルアレイ

1507: メモリセル  
 1508(1): 第1の記憶素子  
 1508(2): 第2の記憶素子  
 1508(n): 第nの記憶素子

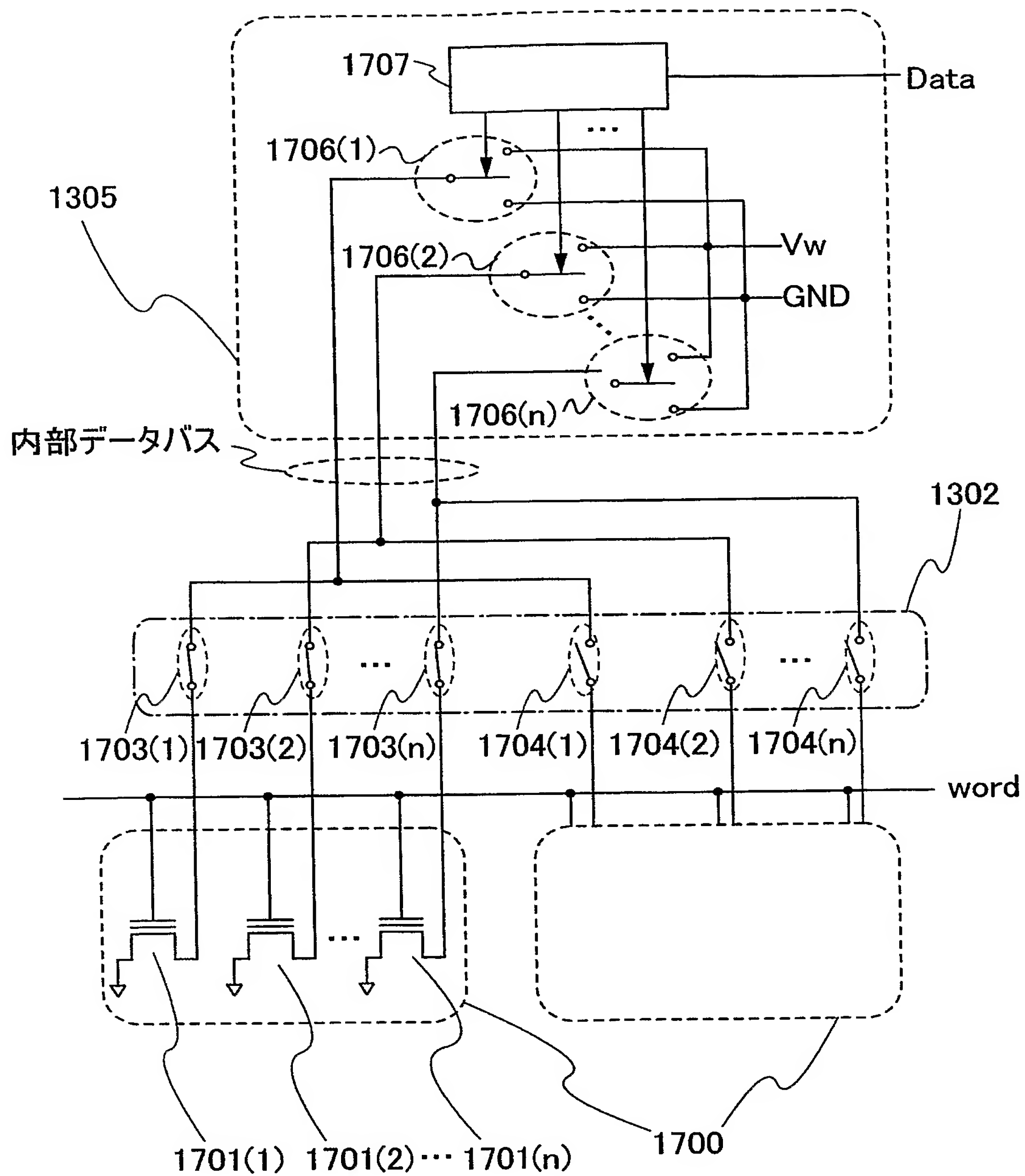
【図 16】



- 1600: メモリセル  
 1601(1): 第1の記憶素子  
 1601(2): 第2の記憶素子  
 1601(n): 第nの記憶素子  
 1602: セレクタ  
 1603(1)~1604(n): スイッチ  
 1605: 読み出し回路  
 1606: 変換回路  
 1607: 判定回路  
 1608: 内部データ読み出し回路

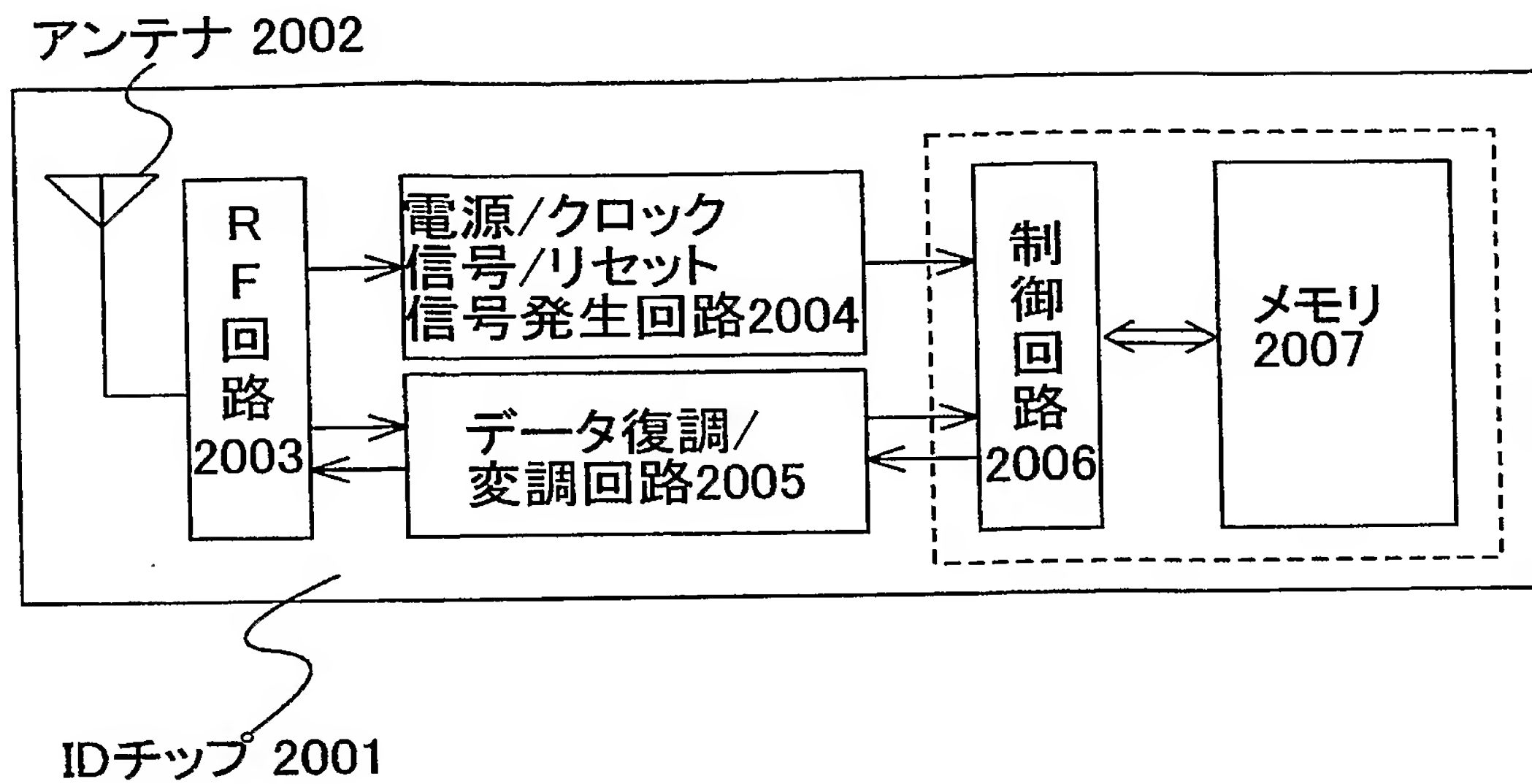


【図 17】



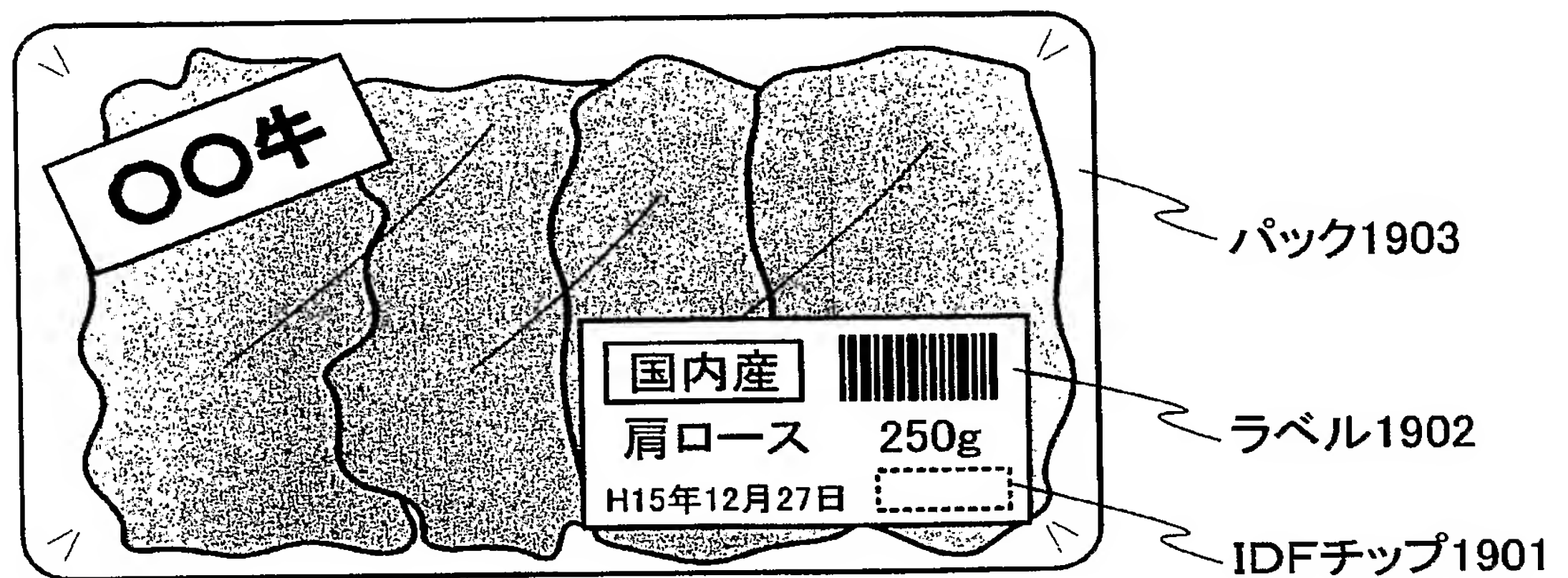
1700: メモリセル  
 1701(1): 第1の記憶素子  
 1701(2): 第2の記憶素子  
 1701(n): 第nの記憶素子  
 1702: セレクタ  
 1703(1)~1704(n): スイッチ  
 1705: 書き込み回路  
 1706(1)~1706(n): スイッチ  
 1707: 変換回路

【図 18】

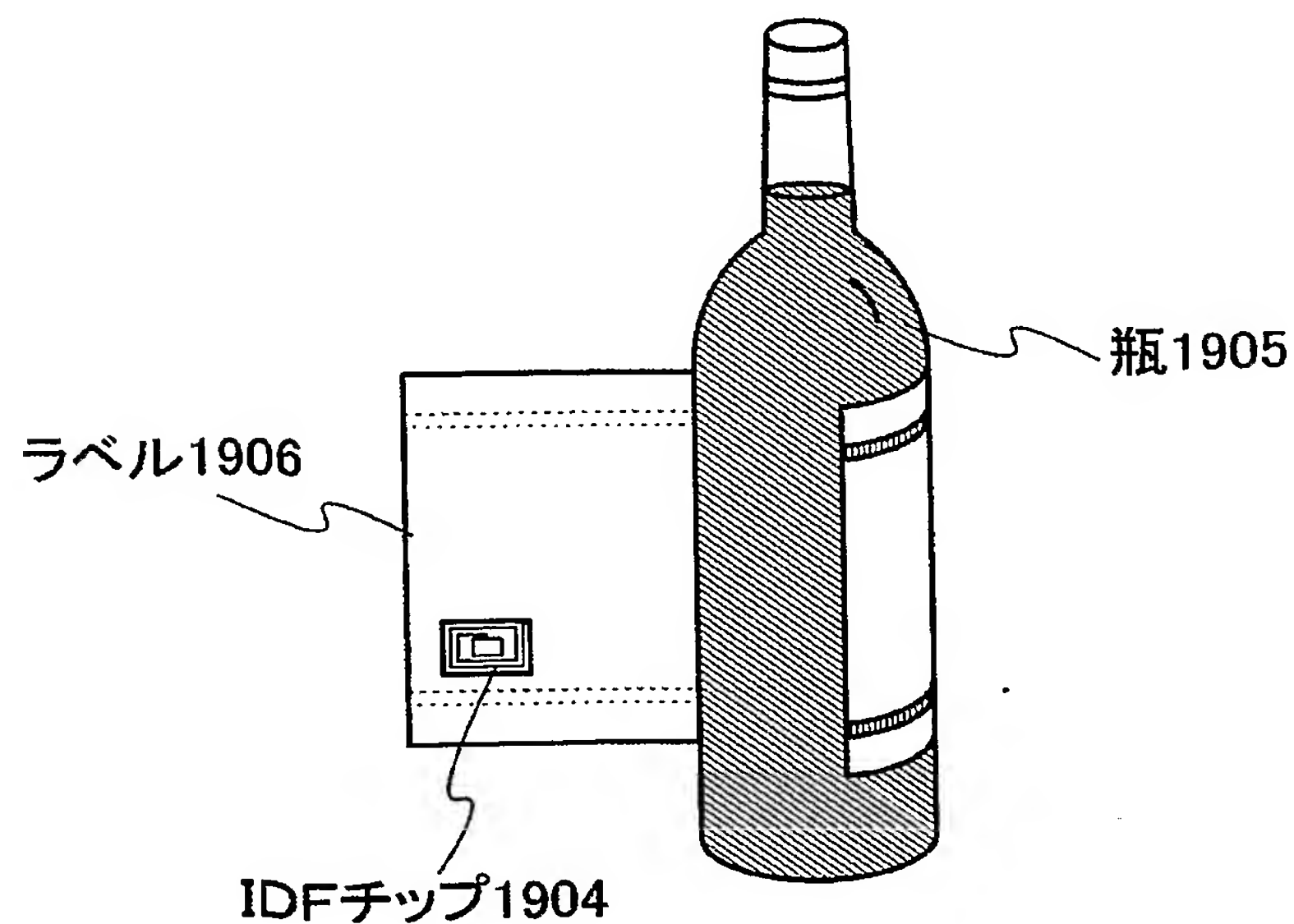


【図 19】

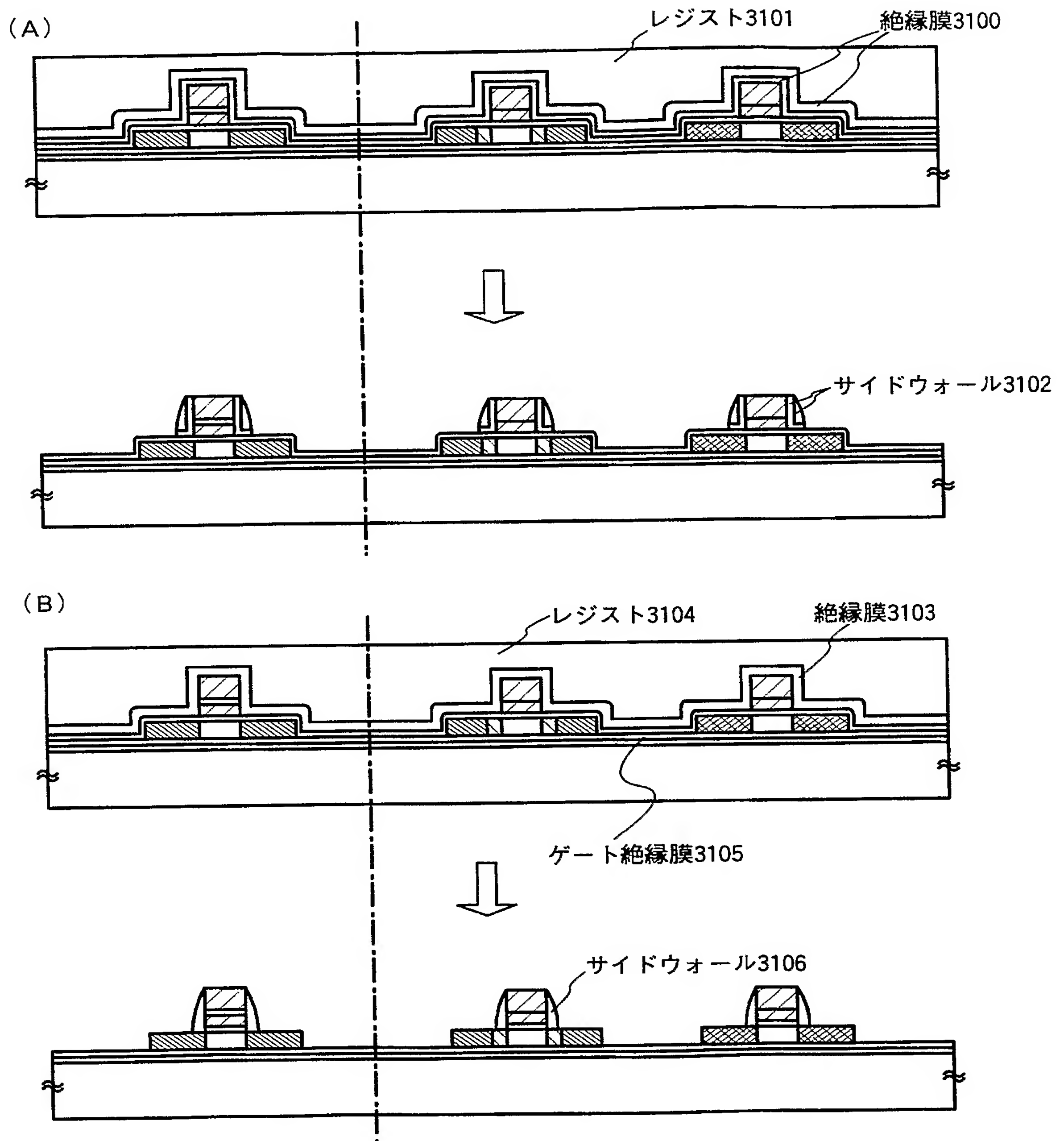
(A)



(B)



【図 20】



【書類名】 要約書

【要約】

【課題】 電氣的なデータの変更が困難な、セキュリティの高いOTPタイプの不揮発性メモリを提供することを課題とする。

【解決手段】 本発明は、二つの状態を持ち、電氣的に一方向への遷移のみが可能な記憶素子を用いたOTPタイプの不揮発性メモリにおいて、1ビットデータを記憶するメモリセルを、3つ以上の記憶素子を用いて構成することを要旨とし、本発明はH状態とL状態（以下単に「H」、「L」ともいう。）の2状態を持ち、電氣的にはLからHへの一方向の遷移のみが可能な記憶素子を用いたOTPタイプの不揮発性メモリにおいて、1ビットデータを記憶するメモリセルを、3つ以上の記憶素子を用いて構成することを特徴とする。

【選択図】 図 1 5



特願 2 0 0 4 - 0 3 3 0 8 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 3 8 7 8 ]

1. 変更新月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所